

日本国特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月 2日

出願番号

Application Number:

特願2001-058138

出願人

Applicant(s):

鹿児島日本電気株式会社

2001年 9月 6日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3082580

【書類名】 特許願
【整理番号】 00320267
【あて先】 特許庁長官殿
【国際特許分類】 G02F 1/136
H01L 29/786
H01L 21/336

【発明者】

【住所又は居所】 鹿児島県出水市大野原町 2 0 8 0
鹿児島日本電気株式会社内

【氏名】 城戸 秀作

【特許出願人】

【識別番号】 000181284

【氏名又は名称】 鹿児島日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 021566

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9114163

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パターン形成方法及びそれを用いた液晶表示装置の製造方法

【特許請求の範囲】

【請求項 1】 被エッチング膜上に第 1 レジスト膜及び第 2 レジスト膜を順に堆積し、前記第 1 レジスト膜のみの領域と前記第 1 レジスト膜の上に前記第 2 レジスト膜が積層した領域が前記第 1 レジスト膜で連結した形状に前記第 1 レジスト膜及び前記第 2 レジスト膜をパターンニングして第 1 のレジストマスクを形成する工程と、前記第 1 のレジストマスクをマスクとして前記被エッチング膜に 1 回目のエッチングを行う工程と、前記第 1 のレジストマスクをエッチングして前記第 1 レジスト膜のみからなる領域を除去し、前記第 1 のレジストマスクを前記第 1 レジスト膜及び前記第 2 レジスト膜からなる残存レジストマスクとして残す工程と、前記残存レジストマスクをマスクとして前記被エッチング膜に 2 回目のエッチングを行う工程と、を有するパターン形成方法であって、前記残存レジストマスクを形成する工程が、前記第 1 のレジストマスクのうち前記第 1 レジスト膜のみからなる領域を除去するときには前記第 2 レジスト膜の少なくとも一部が前記第 1 レジスト膜よりもエッチング耐性のあるレジスト膜となっていることを特徴とするパターン形成方法。

【請求項 2】 被エッチング膜上に第 1 レジスト膜及び第 2 レジスト膜を順に堆積し、前記第 1 レジスト膜及び前記第 2 レジスト膜にそれぞれ第 1 開口部及び第 2 開口部を形成して、第 2 開口部が第 1 開口部を包含する形に第 1 のレジストマスクを形成する工程と、前記第 1 のレジストマスクをマスクとして前記被エッチング膜をエッチングする工程と、前記第 1 レジスト膜のうち少なくとも前記第 2 開口部に露出した領域を除去して前記第 1 のレジストマスクを残存レジストマスクとして残す工程と、前記被エッチング膜、前記残存レジストマスクの上に所定の材料膜を堆積させる工程と、前記残存レジストマスクを除去して前記残存レジストマスクの上の材料膜を除去する工程とを有するパターン形成方法であって、前記第 1 のレジストマスクを残存レジストマスクとして残す工程が、前記第 1 レジスト膜を除去するときには前記第 2 レジスト膜の少なくとも一部が前記第 1 レジスト膜よりもエッチング耐性のあるレジスト膜となっていることを特徴と

するパターン形成方法。

【請求項 3】 前記第 1 のレジストマスクを形成する工程において、前記被エッチング膜上に第 1 レジスト膜及び第 2 レジスト膜を順に堆積する際、前記第 2 レジスト膜の少なくとも一部が、前記第 1 レジスト膜よりもエッチング耐性のあるレジスト膜として形成される請求項 1 又は 2 記載のパターン形成方法

【請求項 4】 前記残存レジストマスクを形成する工程において、前記第 2 レジスト膜の少なくとも一部が、前記第 1 レジスト膜よりもエッチング耐性のある改質レジスト膜とされた後に、前記第 2 レジスト膜に覆われない前記第 1 レジスト膜をエッチング除去することにより行われる請求項 1 又は 2 記載のパターン形成方法。

【請求項 5】 前記エッチング耐性が、ドライエッチングに対するエッチング耐性である請求項 1 乃至 4 のいずれかに記載のパターン形成方法。

【請求項 6】 前記ドライエッチングが、 O_2 ガスを含むプラズマ処理ガス、フッ素系ガスを含むプラズマ処理ガス、 O_2 ガスとフッ素系ガスを含むプラズマ処理ガスのいずれかのプラズマ処理ガスを用いて行われる含む請求項 5 記載のパターン形成方法。

【請求項 7】 前記プラズマ処理ガスがフッ素系ガスであるときは、 SF_6 、 CF_4 、 CHF_3 のいずれかを含むガスであり、前記プラズマ処理ガスが O_2 ガスとフッ素系ガスの混合ガスであるときは、 SF_6/O_2 、 CF_4/O_2 、 CHF_3/O_2 のいずれかのガスを含む請求項 6 記載のパターン形成方法。

【請求項 8】 前記エッチング耐性が、ウェットエッチングに対するエッチング耐性である請求項 1 乃至 4 のいずれかに記載のパターン形成方法。

【請求項 9】 前記ウェットエッチングが、アルカリ溶液を用いたエッチング処理である請求項 8 記載のパターン形成方法。

【請求項 10】 前記アルカリ溶液が、テトラメチルアンモニウムハイドロオキシド、コリン、有機アミンのいずれかを含む有機アルカリ溶液である請求項 9 記載のパターン形成方法。

【請求項 11】 前記アルカリ溶液が、 KOH 、 $NaOH$ 、 $Ca(OH)_2$ 、 $CaCO_3$ のいずれかを含む無機アルカリ溶液である請求項 9 記載のパターン

形成方法。

【請求項 1 2】 前記第 1 レジスト膜として有機レジスト膜、前記第 2 レジスト膜として無機レジスト膜を用いる請求項 1 乃至 1 1 のいずれかに記載のパターン形成方法。

【請求項 1 3】 前記第 2 レジスト膜の少なくとも一部は、シリコン含有のレジスト膜からなる請求項 1 乃至 1 1 のいずれかに記載のパターン形成方法。

【請求項 1 4】 前記改質レジスト膜を形成する工程が、前記第 2 レジスト膜の中にシリコンを含有させて前記第 2 レジスト膜の少なくとも一部をシリコン含有第 2 レジスト膜とし、少なくとも酸素を含む混合ガス中でのドライエッチング処理により前記シリコン含有第 2 レジスト膜をシリコン酸化膜に変換することにより行われる請求項 5 乃至 1 3 記載のパターン形成方法。

【請求項 1 5】 前記改質レジスト膜を形成する工程が、前記第 2 レジスト膜の中にシリコンを含有させて前記第 2 レジスト膜の少なくとも一部をシリコン含有第 2 レジスト膜とし、少なくとも酸素を含む混合ガス中でのドライエッチング処理により前記シリコン含有第 2 レジスト膜をシリコン酸化膜に変換すると共に、前記第 2 レジスト膜が形成された領域以外の領域の第 1 レジスト膜を除去することにより行われる請求項 5 乃至 1 3 記載のパターン形成方法。

【請求項 1 6】 前記第 2 レジスト膜の少なくとも一部が、シリル化が可能なレジスト膜からなる請求項 1 4 又は 1 5 記載のパターン形成方法。

【請求項 1 7】 前記第 2 シリコン含有レジスト膜を形成する工程が、前記第 1 レジスト膜及び前記第 2 レジスト膜をシラザンを含むシリル化剤に浸漬し、前記第 2 レジスト膜のみをシリル化させることにより行われる請求項 1 4、1 5 又は 1 6 記載のパターン形成方法。

【請求項 1 8】 前記少なくとも酸素を含む混合ガスは、 O_2 ガスと不活性ガスとの混合ガス、 O_2 ガスとフッ素系ガスとの混合ガスのいずれかの混合ガスである請求項 1 4 乃至 1 7 のいずれかに記載のパターン形成方法。

【請求項 1 9】 前記酸素を含む混合ガスが O_2 ガスと不活性ガスであるときは、 O_2/He 、 O_2/Ar のいずれかの混合ガスであり、 O_2 ガスとフッ素系ガスであるときは、 O_2/SF_6 、 O_2/CF_4 、 O_2/CHF_3 のいずれかの混合ガ

スである請求項18記載のパターン形成方法。

【請求項20】 第1レジスト膜上に形成された第2レジスト膜から部分的に前記第1レジスト膜が露出する構成の第1のレジストマスクを被エッチング膜上に形成する工程と、前記第1のレジストマスクをマスクとして前記被エッチング膜に1回目のエッチングを行う工程と、前記露出する第1レジスト膜領域をエッチング除去することにより前記第1レジスト膜と前記第2レジスト膜との積層部からなる残存レジストマスクを形成する工程と、前記残存レジストマスクをマスクとして前記被エッチング膜に2回目のエッチングを行う工程と、を有するパターン形成方法であって、前記露出する第1レジスト膜領域を除去する工程において、前記第2レジスト膜の少なくとも一部が前記第1レジスト膜よりもエッチング耐性のあるレジスト膜となっていることを特徴とするパターン形成方法。

【請求項21】 第1基板上にゲート配線及びゲート電極を形成し、続いて、前記第1基板上に前記ゲート配線及び前記ゲート電極を覆うゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に下から順に半導体膜、不純物ドーパント半導体膜、ソース・ドレイン用金属膜を堆積させる工程と、前記ソース・ドレイン用金属膜上に第1レジスト膜及び第2レジスト膜を順に堆積し、前記第1レジスト膜のみの領域と前記第1レジスト膜の上に前記第2レジスト膜が積層した領域が前記第1レジスト膜で連結した形状に前記第1レジスト膜及び前記第2レジスト膜をパターニングし前記第1レジスト膜のみからなる領域をTFTのチャネル形成予定領域の上方に位置するよう第1のレジストマスクを形成する工程と、前記第1のレジストマスクをマスクとして、少なくとも前記ソース・ドレイン用金属膜をエッチング除去して前記ソース・ドレイン用金属膜からなる電極パターンを形成する工程と、前記第1のレジストマスクをエッチングして前記第1レジスト膜のみからなる領域を除去し、前記第1のレジストマスクを前記第1レジスト膜及び前記第2レジスト膜からなる残存レジストマスクとして残して前記第1レジスト膜のみからなる領域の下の前記ソース・ドレイン用金属膜を露出させる工程と、前記残存レジストマスクをマスクとして、前記第1レジスト膜のみからなる領域の下の前記ソース・ドレイン用金属膜、前記不純物ドーパント半導体膜及び前記半導体膜を選択的にエッチングして前記ソース・ドレイン用金属膜及びその下の不

純物ドーブ半導体膜を少なくとも除去してTFTのチャネル領域を形成すると同時にドレイン電極を含むドレイン配線及びソース電極を形成する工程とを有する製造方法によりTFT基板を形成し、続いて、前記第1基板の前記TFTの形成された側に前記第1基板と対向する第2基板を配置して対向基板を形成し、さらに、前記TFT基板と前記対向基板との間に液晶組成物を充填する液晶表示装置の製造方法において、前記残存レジストマスクを形成する工程が、前記第1のレジストマスクのうち前記第1レジスト膜のみからなる領域を除去するときには前記第2レジスト膜の少なくとも一部が前記第1レジスト膜よりもエッチング耐性のあるレジスト膜となっていることを特徴とする液晶表示装置の製造方法。

【請求項22】 前記ゲート配線及びゲート電極を形成する工程において、前記ゲート配線及びゲート電極と共に櫛歯状の共通電極を形成し、前記第1のレジストマスクを形成する工程において、前記共通電極の櫛歯状の電極間に画素電極が形成されるべく画素電極形成用に画素電極形成予定領域のソース・ドレイン用金属膜上にも前記第1のレジストマスクが形成される請求項21記載の液晶表示装置の製造方法。

【請求項23】 前記第1のレジストマスクを形成する工程において、前記ソース・ドレイン用金属膜上に第1レジスト膜及び第2レジスト膜を順に堆積する際、前記第2レジスト膜の少なくとも一部が、前記第1レジスト膜よりもエッチング耐性のあるレジスト膜として堆積される請求項21又は22記載の液晶表示装置の製造方法。

【請求項24】 前記残存レジストマスクを形成する工程において、前記第1のレジストマスクのうち前記第2レジスト膜の少なくとも一部が、前記第1レジスト膜よりもエッチング耐性のある改質レジスト膜とされた後に、前記第1レジスト膜のみからなる領域をエッチング除去することにより行われる請求項21又は22記載の液晶表示装置の製造方法。

【請求項25】 前記改質レジスト膜の形成が、前記第2レジスト膜の中にシリコンを含有させて前記第2レジスト膜の少なくとも一部をシリコン含有第2レジスト膜とし、少なくとも酸素を含む混合ガス中でのドライエッチング処理により前記シリコン含有第2レジスト膜をシリコン酸化膜に変換すると共に、前記

第 1 レジスト膜のみからなる領域を除去することにより行われる請求項 2 4 記載の液晶表示装置の製造方法。

【請求項 2 6】 前記チャネル領域を形成する工程の後に、前記 T F T のチャネル領域を形成する際に用いられた前記残存レジストマスクを除去し、続いて、前記ゲート絶縁膜を覆う保護絶縁膜を堆積させる工程と、前記保護絶縁膜上に第 3 レジスト膜及び第 4 レジスト膜を順に堆積し、前記ドレイン配線を取り出すドレイン端子の上方の開口予定領域の第 4 レジスト膜を除去して前記ドレイン端子の上方の開口予定領域に第 3 レジスト膜のみを残し、前記ゲート端子の上方の開口予定領域の第 3 レジスト膜及び第 4 レジスト膜を除去して前記ゲート端子の上方の開口予定領域の保護絶縁膜を露出させる工程と、前記第 4 レジスト膜をマスクとして前記ゲート端子上の保護絶縁膜及びゲート絶縁膜からなる絶縁膜の一部をエッチングしながら前記ドレイン端子上の第 3 レジスト膜を除去すると共に、前記第 4 レジスト膜及びその下の前記第 3 レジスト膜を残す工程と、前記第 4 レジスト膜及びその下の前記第 3 レジスト膜をマスクとして前記ドレイン端子の上の保護絶縁膜を除去すると共に前記ゲート端子上に残る絶縁膜を除去する工程とを有し、前記第 4 レジスト膜及びその下の前記第 3 レジスト膜を残す工程が、前記第 4 レジスト膜の中にシリコンを含有させて前記第 4 レジスト膜をシリコン含有第 4 レジスト膜とし、前記ドレイン端子上の前記第 3 レジスト膜の除去が、酸素ガス中でのドライエッチング処理により前記シリコン含有第 4 レジスト膜をシリコン酸化膜に変換すると共に、前記ドレイン端子の上方の開口予定領域に位置する第 3 レジスト膜を除去することにより行われる請求項 2 1 乃至 2 5 のいずれかに記載の液晶表示装置の製造方法。

【請求項 2 7】 前記チャネル領域を形成する工程の後に、前記 T F T のチャネル領域を形成する際に用いられた前記残存レジストマスクを除去し、続いて、前記ゲート絶縁膜を覆う保護絶縁膜を堆積させる工程と、前記保護絶縁膜上に第 3 レジスト膜及び第 4 レジスト膜を順に堆積し、前記第 3 レジスト膜及び前記第 4 レジスト膜を開口して前記ゲート端子及び前記ドレイン端子上方に第 4 レジスト膜の開口部が第 3 レジスト膜の開口部を包含する形に形成する工程と、前記第 3 レジスト膜及び前記第 4 レジスト膜をマスクとして前記ゲート端子上の保護

絶縁膜及びゲート絶縁膜、前記ドレイン端子上の保護絶縁膜をそれぞれ除去してコンタクトホールを形成する工程と、前記第4レジスト膜の開口部に露出している第3レジスト膜をエッチング除去すると共に、前記第4レジスト膜及びその下の第3レジスト膜を残す工程と、前記第4レジスト膜及びその下の第3レジスト膜を及び前記コンタクトホールを覆って上層金属膜を堆積させる工程と、前記第4レジスト膜及びその下の第3レジスト膜を除去して前記第4レジスト膜及びその下の第3レジスト膜の上の前記上層金属膜を除去し前記コンタクトホールを覆う上部電極を形成する工程とを有し、前記第4レジスト膜及びその下の第3レジスト膜を形成する工程が、前記第4レジスト膜の中にシリコンを含有させて前記第4レジスト膜をシリコン含有第4レジスト膜とし、前記第4レジスト膜の開口部に露出している第3レジスト膜の除去が、酸素を含む混合ガス中でのドライエッチング処理により前記シリコン含有第4レジスト膜をシリコン酸化膜に変換すると共に、前記シリコン酸化膜に覆われない第3レジスト膜を除去することにより行われる請求項21乃至25のいずれかに記載の液晶表示装置の製造方法。

【請求項28】 前記保護絶縁膜上に第3レジスト膜及び第4レジスト膜を順に堆積する工程において、前記第4レジスト膜の少なくとも一部が、前記第3レジスト膜よりもエッチング耐性のあるレジスト膜として堆積される請求項26又は27記載の液晶表示装置の製造方法。

【請求項29】 前記第4レジスト膜及びその下の前記第3レジスト膜を残す工程において、前記第4レジスト膜の少なくとも一部が、前記第3レジスト膜よりもエッチング耐性のある改質レジスト膜とされた後に、前記第4レジスト膜に覆われない第3レジスト膜をエッチング除去することにより行われる請求項26又は27記載の液晶表示装置の製造方法。

【請求項30】 前記改質レジスト膜の形成が、前記第4レジスト膜の中にシリコンを含有させて前記第4レジスト膜の少なくとも一部をシリコン含有第4レジスト膜とし、少なくとも酸素を含む混合ガス中でのドライエッチング処理により前記シリコン含有第4レジスト膜をシリコン酸化膜に変換すると共に、前記第4レジスト膜に覆われない第3レジスト膜を除去することにより行われる請求項29記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子用のパターン形成方法及びそれを用いた液晶表示装置の製造方法に関し、従来の2PR工程を1PR工程で済ませる製造工程短縮プロセスに関する。

【0002】

【従来の技術】

半導体装置の高集積化は、微細パターンの形成手段であるフォトリソグラフィ技術とドライエッチング技術とに支えられて達成されてきた。しかし、このようにして半導体装置が高性能化されてくると、その製造工程が高度化し製造コストが増加するようになる。

【0003】

そこで、最近では、半導体装置の製造コストを大幅に低減すべく、パターンの製造工程を短絡させて全体の工程数を短縮させることが強く要求されてきている。この要求に対応する技術として、従来2つ以上必要とされたPR工程を1つのPR工程で済ませる方法が種々開示されている。

【0004】

第1の従来例（特開2000-206571号公報）は、この方法を逆スタガード型薄膜トランジスタ（以下「TFT」という。）の製造方法に適用したものであり、図23、24はその主要製造工程を製造工程順に示すTFT近傍の模式断面図である。

【0005】

まず、図23（a）に示すように、第1透明基板501の上にゲート電極533、ゲート絶縁膜534が形成され、続いて、アモルファスシリコン（a-Si）膜541、 n^+ 型アモルファスシリコン（ n^+ 型a-Si）膜542、ソース・ドレイン用の金属膜543を順に堆積し、さらに金属膜543の上に感光膜を1～2 μ mの厚さに塗布し、露光、現像して膜厚の厚い感光膜パターン527と膜厚の薄い感光膜パターン526を形成する。

【0006】

次に、図23(b)に示すように、感光膜パターン527と感光膜パターン526をマスクとして、金属膜543をエッチング除去して、 n^+ 型a-Si膜542を露出させる。

【0007】

次に、図24(a)に示すように、 n^+ 型a-Si膜542とその下部のa-Si膜541を感光膜パターン526と共にドライエッチングし、残った感光膜パターン527の間に金属膜543を露出させる。

【0008】

次に、図24(b)に示すように、残った感光膜パターン527をマスクとして金属膜543とその下の n^+ 型a-Si膜542をエッチング除去する。このときa-Si膜541も一部エッチングされる。

【0009】

以上のようにして、膜厚の異なる感光膜パターン527と感光膜パターン526を利用すると、被エッチング膜に2つの異なるパターンを形成することができる。

【0010】

次に示す第2の従来例（特開2000-164584号公報）は、やはりこの方法を逆スタガード型TFTの製造方法に適用したものであり、図25はその主要製造工程を製造工程順に示すTFT近傍、ゲート端子電極及びドレイン端子電極の模式断面図である。

【0011】

まず、図25(a)に示すように、第1透明基板601の上にゲート電極633、ゲート端子電極693、ゲート絶縁膜634が形成され、続いて、a-Si膜641、 n^+ 型a-Si膜642、ソース・ドレイン用の金属膜を順に堆積し、さらに金属膜及びその下の n^+ 型a-Si膜642を同じパターンにパターニングして、ソース電極659及びその下のオーミック層とドレイン電極658及びその下のオーミック層、ドレイン端子電極678及びその下のオーミック層を形成する。これらを覆うパッシベーション膜640を形成した後、ゲート端子電

極 693 とドレイン端子電極 678 の上に開口を有し、ソース電極 659 及びその横の a-Si 膜分離部 660 に厚さの薄い感光膜パターン 626 を、その他の領域には厚さの厚い感光膜パターン 627 を有するレジストパターンを形成する。

【0012】

次に、図 25 (b) に示すように、このレジストパターンを利用し、かつ、エッチング条件を最適化しながら、まず薄い感光膜パターン 626 が除去される時間エッチングを行って、ドレイン端子電極 678 の上のパッシベーション膜 640 を完全に除去し、ゲート端子電極 693 の上のパッシベーション膜 640 の全部とゲート絶縁膜 634 の一部を除去する。

【0013】

さらに、エッチング条件を最適化しながら、図 25 (c) に示すように、a-Si 膜分離部 660 の a-Si 膜 641 が除去され、同時に、ゲート端子電極 693 の上に残っていたゲート絶縁膜 634 の一部を除去する。

【0014】

以上のようにして、第 2 の従来例では、レジスト膜の厚さの違いを利用して、各電極上のコンタクトホール形成を 1 回の PR 工程で済ませると共に、a-Si 膜の分離を行っている。

【0015】

【発明が解決しようとする課題】

以上に説明した第 1 の従来例及び第 2 の従来例は、いずれも被エッチング膜上に 1 層の感光膜を塗布した後に、露光量の違いを利用して膜厚の異なる感光膜パターンを形成し、その膜厚の差を利用して被エッチング膜をエッチングして製造工程の短縮を図っている。

【0016】

然るに、第 1 の従来例及び第 2 の従来例において、感光膜パターンのうち薄い方の感光膜パターンがエッチング除去されたときに厚い方の感光膜パターンも同時にエッチングされ、その形状はエッチング前の形状とは大幅に異なってしまい、エッチング中においてもその形状が時間と共に変化していくという問題がある。

。従って、厚い方の感光膜パターンをマスクとしてエッチングされる被エッチング膜の形状は、設計された形状とは大幅に異なる形状となることが推測される。

【0017】

本発明は、感光膜（以下レジストと呼ぶ）パターンの膜厚の違いを利用して被エッチング膜をエッチングする際に、厚い方のレジストパターンが薄い方のレジストパターンをエッチング除去するためのエッチングに晒されても、その形状を維持できるパターン形成方法及びそれを用いた液晶表示装置の製造方法を提供することにある。

【0018】

【課題を解決するための手段】

本発明の第1のパターン形成方法は、被エッチング膜上に第1レジスト膜及び第2レジスト膜を順に堆積し、前記第1レジスト膜のみの領域と前記第1レジスト膜の上に前記第2レジスト膜が積層した領域が前記第1レジスト膜で連結した形状に前記第1レジスト膜及び前記第2レジスト膜をパターンニングして第1のレジストマスクを形成する工程と、前記第1のレジストマスクをマスクとして前記被エッチング膜に1回目のエッチングを行う工程と、前記第1のレジストマスクをエッチングして前記第1レジスト膜のみからなる領域を除去し、前記第1のレジストマスクを前記第1レジスト膜及び前記第2レジスト膜からなる残存レジストマスクとして残す工程と、前記残存レジストマスクをマスクとして前記被エッチング膜に2回目のエッチングを行う工程と、を有するパターン形成方法であって、前記残存レジストマスクを形成する工程が、前記第1のレジストマスクのうち前記第1レジスト膜のみからなる領域を除去するときには前記第2レジスト膜の少なくとも一部が前記第1レジスト膜よりもエッチング耐性のあるレジスト膜となっていることを特徴とする。

【0019】

本発明の第2のパターン形成方法は、被エッチング膜上に第1レジスト膜及び第2レジスト膜を順に堆積し、前記第1レジスト膜及び前記第2レジスト膜にそれぞれ第1開口部及び第2開口部を形成して、第2開口部が第1開口部を包含する形に第1のレジストマスクを形成する工程と、前記第1のレジストマスクをマ

スクとして前記被エッチング膜をエッチングする工程と、前記第1レジスト膜のうち少なくとも前記第2開口部に露出した領域を除去して前記第1のレジストマスクを残存レジストマスクとして残す工程と、前記被エッチング膜、前記残存レジストマスクの上に所定の材料膜を堆積させる工程と、前記残存レジストマスクを除去して前記残存レジストマスクの上の材料膜を除去する工程とを有するパターン形成方法であって、前記第1のレジストマスクを残存レジストマスクとして残す工程が、前記第1レジスト膜を除去するときには前記第2レジスト膜の少なくとも一部が前記第1レジスト膜よりもエッチング耐性のあるレジスト膜となっていることを特徴とする。

【0020】

上記本発明の第1、2のパターン形成方法は、前記第1のレジストマスクを形成する工程において、前記被エッチング膜上に第1レジスト膜及び第2レジスト膜を順に堆積する際、前記第2レジスト膜の少なくとも一部が、前記第1レジスト膜よりもエッチング耐性のあるレジスト膜として形成され、前記残存レジストマスクを形成する工程において、前記第2レジスト膜の少なくとも一部が、前記第1レジスト膜よりもエッチング耐性のある改質レジスト膜とされた後に、前記第2レジスト膜に覆われない前記第1レジスト膜をエッチング除去することにより行われ、前記エッチング耐性が、ドライエッチングに対するエッチング耐性であり、前記ドライエッチングが、 O_2 ガスを含むプラズマ処理ガス、フッ素系ガスを含むプラズマ処理ガス、 O_2 ガスとフッ素系ガスを含むプラズマ処理ガスのいずれかのプラズマ処理ガスを用いて行われ、前記プラズマ処理ガスがフッ素系ガスであるときは、 SF_6 、 CF_4 、 CHF_3 のいずれかを含むガスであり、前記プラズマ処理ガスが O_2 ガスとフッ素系ガスの混合ガスであるときは、 SF_6/O_2 、 CF_4/O_2 、 CHF_3/O_2 のいずれかのガスを含む。

【0021】

また、上記本発明の第1、2のパターン形成方法の前記エッチング耐性が、ウェットエッチングに対するエッチング耐性であるときは、前記ウェットエッチングが、アルカリ溶液を用いたエッチング処理であり、前記アルカリ溶液が、テトラメチルアンモニウムヒドロキシド、コリン、有機アミンのいずれかを含

む有機アルカリ溶液である、または、 KOH 、 NaOH 、 $\text{Ca}(\text{OH})_2$ 、 CaCO_3 のいずれかを含む無機アルカリ溶液である。

【0022】

また、上記本発明の第1、2のパターン形成方法は、前記第1レジスト膜として有機レジスト膜、前記第2レジスト膜として無機レジスト膜を用いる。

【0023】

また、上記本発明の第1、2のパターン形成方法は、前記第2レジスト膜の少なくとも一部は、シリコン含有のレジスト膜からなり、前記改質レジスト膜を形成する工程が、前記第2レジスト膜の中にシリコンを含有させて前記第2レジスト膜の少なくとも一部をシリコン含有第2レジスト膜とし、少なくとも酸素を含む混合ガス中でのドライエッチング処理により前記シリコン含有第2レジスト膜をシリコン酸化膜に変換することにより行われる、或いは、前記第2レジスト膜の中にシリコンを含有させて前記第2レジスト膜の少なくとも一部をシリコン含有第2レジスト膜とし、少なくとも酸素を含む混合ガス中でのドライエッチング処理により前記シリコン含有第2レジスト膜をシリコン酸化膜に変換すると共に、前記第2レジスト膜が形成された領域以外の領域の第1レジスト膜を除去することにより行われる。さらに具体的には、前記第2レジスト膜の少なくとも一部が、シリル化が可能なレジスト膜からなり、前記第2シリコン含有レジスト膜を形成する工程が、前記第1レジスト膜及び前記第2レジスト膜をシラザンを含むシリル化剤に浸漬し、前記第2レジスト膜のみをシリル化させることにより行われ、前記少なくとも酸素を含む混合ガスは、 O_2 ガスと不活性ガスとの混合ガス、 O_2 ガスとフッ素系ガスとの混合ガスのいずれかの混合ガスであり、前記酸素を含む混合ガスが O_2 ガスと不活性ガスであるときは、 O_2/He 、 O_2/Ar のいずれかの混合ガスであり、 O_2 ガスとフッ素系ガスであるときは、 O_2/SF_6 、 O_2/CF_4 、 O_2/CHF_3 のいずれかの混合ガスである。

【0024】

さらに、上記本発明の第1のパターン形成方法は、第1レジスト膜上に形成された第2レジスト膜から部分的に前記第1レジスト膜が露出する構成の第1のレジストマスクを被エッチング膜上に形成する工程と、前記第1のレジストマスク

をマスクとして前記被エッチング膜に1回目のエッチングを行う工程と、前記露出する第1レジスト膜領域をエッチング除去することにより前記第1レジスト膜と前記第2レジスト膜との積層部からなる残存レジストマスクを形成する工程と、前記残存レジストマスクをマスクとして前記被エッチング膜に2回目のエッチングを行う工程と、を有するパターン形成方法であって、前記露出する第1レジスト膜領域を除去する工程において、前記第2レジスト膜の少なくとも一部が前記第1レジスト膜よりもエッチング耐性のあるレジスト膜となっている、という上位概念構成として表すことができる。

【0025】

次に、本発明の液晶表示装置の製造方法は、第1基板上にゲート配線及びゲート電極を形成し、続いて、前記第1基板上に前記ゲート配線及び前記ゲート電極を覆うゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に下から順に半導体膜、不純物ドーパント半導体膜、ソース・ドレイン用金属膜を堆積させる工程と、前記ソース・ドレイン用金属膜上に第1レジスト膜及び第2レジスト膜を順に堆積し、前記第1レジスト膜のみの領域と前記第1レジスト膜の上に前記第2レジスト膜が積層した領域が前記第1レジスト膜で連結した形状に前記第1レジスト膜及び前記第2レジスト膜をパターンニングし前記第1レジスト膜のみからなる領域をTFTのチャネル形成予定領域の上方に位置するよう第1のレジストマスクを形成する工程と、前記第1のレジストマスクをマスクとして、少なくとも前記ソース・ドレイン用金属膜をエッチング除去して前記ソース・ドレイン用金属膜からなる電極パターンを形成する工程と、前記第1のレジストマスクをエッチングして前記第1レジスト膜のみからなる領域を除去し、前記第1のレジストマスクを前記第1レジスト膜及び前記第2レジスト膜からなる残存レジストマスクとして残して前記第1レジスト膜のみからなる領域の下の前記ソース・ドレイン用金属膜を露出させる工程と、前記残存レジストマスクをマスクとして、前記第1レジスト膜のみからなる領域の下の前記ソース・ドレイン用金属膜、前記不純物ドーパント半導体膜及び前記半導体膜を選択的にエッチングして前記ソース・ドレイン用金属膜及びその下の不純物ドーパント半導体膜を少なくとも除去してTFTのチャネル領域を形成すると同時にドレイン電極を含むドレイン配線及びソース電極を

形成する工程とを有する製造方法により T F T 基板を形成し、続いて、前記第 1 基板の前記 T F T の形成された側に前記第 1 基板と対向する第 2 基板を配置して対向基板を形成し、さらに、前記 T F T 基板と前記対向基板との間に液晶組成物を充填する液晶表示装置の製造方法において、前記残存レジストマスクを形成する工程が、前記第 1 のレジストマスクのうち前記第 1 レジスト膜のみからなる領域を除去するときには前記第 2 レジスト膜の少なくとも一部が前記第 1 レジスト膜よりもエッチング耐性のあるレジスト膜となっていることを特徴とし、前記ゲート配線及びゲート電極を形成する工程において、前記ゲート配線及びゲート電極と共に櫛歯状の共通電極を形成し、前記第 1 のレジストマスクを形成する工程において、前記共通電極の櫛歯状の電極間に画素電極が形成されるべく画素電極形成用に画素電極形成予定領域のソース・ドレイン用金属膜上にも前記第 1 のレジストマスクが形成される。また、前記第 1 のレジストマスクを形成する工程において、前記ソース・ドレイン用金属膜上に第 1 レジスト膜及び第 2 レジスト膜を順に堆積する際、前記第 2 レジスト膜の少なくとも一部が、前記第 1 レジスト膜よりもエッチング耐性のあるレジスト膜として堆積される、或いは、前記残存レジストマスクを形成する工程において、前記第 1 のレジストマスクのうち前記第 2 レジスト膜の少なくとも一部が、前記第 1 レジスト膜よりもエッチング耐性のある改質レジスト膜とされた後に、前記第 1 レジスト膜のみからなる領域をエッチング除去することにより行われ、前記改質レジスト膜の形成が、前記第 2 レジスト膜の中にシリコンを含有させて前記第 2 レジスト膜の少なくとも一部をシリコン含有第 2 レジスト膜とし、少なくとも酸素を含む混合ガス中でのドライエッチング処理により前記シリコン含有第 2 レジスト膜をシリコン酸化膜に変換すると共に、前記第 1 レジスト膜のみからなる領域を除去することにより行われる。

【 0 0 2 6 】

また、本発明の液晶表示装置の製造方法は、前記チャネル領域を形成する工程の後に、前記 T F T のチャネル領域を形成する際に用いられた前記残存レジストマスクを除去し、続いて、前記ゲート絶縁膜を覆う保護絶縁膜を堆積させる工程と、前記保護絶縁膜上に第 3 レジスト膜及び第 4 レジスト膜を順に堆積し、前記

ドレイン配線を取り出すドレイン端子の上方の開口予定領域の第4レジスト膜を除去して前記ドレイン端子の上方の開口予定領域に第3レジスト膜のみを残し、前記ゲート端子の上方の開口予定領域の第3レジスト膜及び第4レジスト膜を除去して前記ゲート端子の上方の開口予定領域の保護絶縁膜を露出させる工程と、前記第4レジスト膜をマスクとして前記ゲート端子上の保護絶縁膜及びゲート絶縁膜からなる絶縁膜の一部をエッチングしながら前記ドレイン端子上の第3レジスト膜を除去すると共に、前記第4レジスト膜及びその下の前記第3レジスト膜を残す工程と、前記第4レジスト膜及びその下の前記第3レジスト膜をマスクとして前記ドレイン端子の上の保護絶縁膜を除去すると共に前記ゲート端子上に残る絶縁膜を除去する工程とを有し、前記第4レジスト膜及びその下の前記第3レジスト膜を残す工程が、前記第4レジスト膜の中にシリコンを含有させて前記第4レジスト膜をシリコン含有第4レジスト膜とし、前記ドレイン端子上の前記第3レジスト膜の除去が、酸素ガス中でのドライエッチング処理により前記シリコン含有第4レジスト膜をシリコン酸化膜に変換すると共に、前記ドレイン端子の上方の開口予定領域に位置する第3レジスト膜を除去することにより行われる、或いは、

前記チャネル領域を形成する工程の後に、前記TFTのチャネル領域を形成する際に用いられた前記残存レジストマスクを除去し、続いて、前記ゲート絶縁膜を覆う保護絶縁膜を堆積させる工程と、前記保護絶縁膜上に第3レジスト膜及び第4レジスト膜を順に堆積し、前記第3レジスト膜及び前記第4レジスト膜を開口して前記ゲート端子及び前記ドレイン端子の上方に第4レジスト膜の開口部が第3レジスト膜の開口部を包含する形に形成する工程と、前記第3レジスト膜及び前記第4レジスト膜をマスクとして前記ゲート端子上の保護絶縁膜及びゲート絶縁膜、前記ドレイン端子上の保護絶縁膜をそれぞれ除去してコンタクトホールを形成する工程と、前記第4レジスト膜の開口部に露出している第3レジスト膜をエッチング除去すると共に、前記第4レジスト膜及びその下の第3レジスト膜を残す工程と、前記第4レジスト膜及びその下の第3レジスト膜を及び前記コンタクトホールを覆って上層金属膜を堆積させる工程と、前記第4レジスト膜及びその下の第3レジスト膜を除去して前記第4レジスト膜及びその下の第3レジスト膜

の上の前記上層金属膜を除去し前記コンタクトホールを覆う上部電極を形成する工程とを有し、前記第4レジスト膜及びその下の第3レジスト膜を形成する工程が、前記第4レジスト膜の中にシリコンを含有させて前記第4レジスト膜をシリコン含有第4レジスト膜とし、前記第4レジスト膜の開口部に露出している第3レジスト膜の除去が、酸素を含む混合ガス中でのドライエッチング処理により前記シリコン含有第4レジスト膜をシリコン酸化膜に変換すると共に、前記シリコン酸化膜に覆われない第3レジスト膜を除去することにより行われる、という適用形態を採り得る。

【0027】

上記適用形態は、前記保護絶縁膜上に第3レジスト膜及び第4レジスト膜を順に堆積する工程において、前記第4レジスト膜の少なくとも一部が、前記第3レジスト膜よりもエッチング耐性のあるレジスト膜として堆積され、前記第4レジスト膜及びその下の前記第3レジスト膜を残す工程において、前記第4レジスト膜の少なくとも一部が、前記第3レジスト膜よりもエッチング耐性のある改質レジスト膜とされた後に、前記第4レジスト膜に覆われない第3レジスト膜をエッチング除去することにより行われ、前記改質レジスト膜の形成が、前記第4レジスト膜の中にシリコンを含有させて前記第4レジスト膜の少なくとも一部をシリコン含有第4レジスト膜とし、少なくとも酸素を含む混合ガス中でのドライエッチング処理により前記シリコン含有第4レジスト膜をシリコン酸化膜に変換すると共に、前記第4レジスト膜に覆われない第3レジスト膜を除去することにより行われる。

【0028】

【発明の実施の形態】

次に、本発明のパターン形成方法の第1の実施形態について図1、2を参照して説明する。図1、2はその製造工程の断面図である。

【0029】

図1(a)に示すように、絶縁基板1上に被エッチング膜2を堆積させ、膜厚500nm程度のポジ形の第1レジスト膜3を公知のフォトリソグラフィ技術で形成する。さらに、この第1レジスト膜3上に第2レジスト膜4を形成する。

【0030】

次に、例えば、遮光部と半透光部を有するレチクルをマスクにして、レジスト膜を露光、現像して、図1(b)に示すように、第1レジスト膜3を半透光部に対応するレジスト凹部5を有するレジストマスク6とし、第2レジスト膜4をレジスト凹部5を挟む形状のレジストマスク7とする。

【0031】

次に、図1(c)に示すように、レジストマスク6及びレジストマスク7をマスクとして被エッチング膜2をエッチングし、被エッチング膜2からなるアイランド8を形成する。

【0032】

次に、図2(a)に示すように、レジストマスク6及びレジストマスク7をシラザン等のシリル化剤に浸漬し、上記レジストマスク7のみをシリル化し、シリル化膜9を形成する。このシリル化膜9にはシリコン原子が多量に含まれる。ここで、レジストマスク6表面はシリル化されない。第1レジスト膜3はシリル化しないレジスト膜であるからである。

【0033】

ここで、上記のような性質を有する第1レジスト膜及び第2レジスト膜につき、具体的な材料を以下に挙げる。

【0034】

まず、第1レジスト膜には、シリル化剤と反応するフェノール性水酸基を含有しない、例えばゴム系の有機材料を選定する。

【0035】

次に、第2レジスト膜には、ノボラック樹脂、またはポリビニルフェノールで形成し、それらに含まれるフェノール性水酸基をシリル化剤と反応させて、その表面にシロキサン、ポリシロキサン、ポリシラン、ポリシリーン、カルボシランを形成する。

【0036】

次に、図2(a)の状態での O_2 ガス中での異方性のドライエッチングであるRIEを行う。第1レジスト膜の膜厚が500nmの時、ドライエッチング条件と

して、圧力10Pa、ガス流量 $O_2=400\text{ sccm}$ 、RFパワー=1500W、30秒の処理条件を用いる。

【0037】

ここで使用するガス、及び以後の記述の異方性のドライエッチングであるRIEで使用するガスの例として O_2 ガスのみを記述するが、どの場合も使用可能なガスとして酸素のみ、又は酸素を含む混合ガスである、 O_2 ガスと不活性ガス、例えば O_2/He 、 O_2/Ar の混合ガス、又は O_2 ガスとフッ素系ガス、例えば O_2/SF_6 、 O_2/CF_4 、 O_2/CHF_3 の混合ガスのいずれかのガスでも可能である。

【0038】

このRIEで図2(b)に示すように、シリル化膜9を酸化し、シリカ膜10に変換させる。このシリカ膜10は、シリル化膜9に含まれるシリコンが酸素と反応しシリコン酸化膜となったものである。そして、同時にレジスト凹部5のレジスト膜を無くし、アイランド8を露出させる。ここで、図2(a)で示したレジストマスク6は図2(b)に示すようなレジストマスク11に変わる。

【0039】

次に、シリカ膜10とレジストマスク11をエッチングマスクにし、RIEでアイランド8の露出した領域をドライエッチングする。そして、図2(c)に示すようにアイランド8に凹部12を形成する。

【0040】

最後に、シリカ膜10とレジストマスク11を除去する。このようにして、凹部12を有するアイランド8が形成される。

【0041】

以上のように、本実施形態では、図1(b)から図1(c)に到る工程で1回目のエッチングを行い、図2(a)から図2(b)に到る工程で2回目以降のエッチングを行うのであるが、2回目以降のエッチングのマスクにされるシリカ膜10は、レジスト凹部5のレジスト膜をエッチング除去する際に形成され、しかも、 O_2 ガス中での異方性のRIEにより、シリル化膜9を酸化し、 O_2 ガス系のプラズマエッチングの影響を受けにくいシリカ膜10に変換することにより形成

されるので、シリカ膜 1 0 の平面形状は O_2 ガス中での R I E を行う前のレジストマスク 7 の平面形状に近い形状を維持することが出来る。従って、レジストマスク 1 1 の形成も容易になりその平面形状制御性が向上するので、凹部 1 2 の形状を設計値に近い形状とすることが出来る。

【 0 0 4 2 】

また、本実施形態のように、第 2 レジスト膜としてシリル化できるレジスト膜を用いている場合には、必ずしも第 1 レジスト膜にレジスト凹部 5 を形成する必要はなく、レジスト凹部 5 のないレジストマスク 6 を形成し、シリル化膜 9 をマスクに O_2 ガスによる R I E でレジストマスク 1 1 を形成することもできる。この場合には、レチクルに半透光部は必要とならない。

【 0 0 4 3 】

次に、本発明のパターン形成方法の第 2 の実施形態について図 3、4 を参照して説明する。図 3、4 はその製造工程の断面図である。

【 0 0 4 4 】

図 3 (a) に示すように、絶縁基板 2 1 上に下層配線 3 3 を形成し、下層配線 3 3 を覆って絶縁膜 3 4 を堆積させる。

【 0 0 4 5 】

次に、絶縁膜 3 4 の上に、膜厚 5 0 0 n m 程度のポジ形の第 1 レジスト膜 2 3 を公知のフォトリソグラフィ技術で形成する。さらに、この第 1 レジスト膜 2 3 上に第 2 レジスト膜 2 4 を形成する。ここで、第 2 レジスト膜 2 4 はポジ形のシリル化が可能なレジスト膜であり、その膜厚は 3 0 0 n m 程度である。

【 0 0 4 6 】

次に、例えば、遮光部と半透光部を有するレチクルをマスクにして、レジスト膜を露光、現像して、図 3 (b) に示すように、第 1 レジスト膜 2 3 及び第 2 レジスト膜 2 4 を透光部に対応する開口部 2 5、半透光部に対応する薄レジストマスク 2 6、遮光部に対応する厚レジストマスク 2 7 とする。

【 0 0 4 7 】

次に、図 3 (c) に示すように、薄レジストマスク 2 6 及び厚レジストマスク 2 7 をマスクとして絶縁膜 3 4 をエッチングし、絶縁膜 3 4 に下層配線 3 3 の上

に位置するコンタクトホール35を形成する。

【0048】

次に、図4（a）に示すように、薄レジストマスク26及び厚レジストマスク27をシラザン等のシリル化剤に浸漬し、厚レジストマスク27のうち第2レジスト膜24のみをシリル化し、シリル化膜29を形成する。このシリル化膜29にはシリコン原子が多量に含まれる。ここで、薄レジストマスク26表面はシリル化されない。薄レジストマスク26はシリル化しない第1レジスト膜23により構成されているからである。

【0049】

次に、 O_2 ガス中での異方性のRIEを行う。このRIEで、図4（b）に示すように、シリル化膜29を酸化し、シリカ膜30に変換させる。このシリカ膜30は、シリル化膜29に含まれるシリコンが酸素と反応しシリコン酸化膜となったものである。そして、薄レジストマスク26及び厚レジストマスク27を一緒にエッチングして薄レジストマスク26を除去してしまい、厚レジストマスク27を残存レジストマスク67とする。ここで、図4（a）で示した厚レジストマスク27を構成する第1レジスト膜23及びシリル化膜29はそれぞれレジストマスク31及びシリカ膜30となり、シリカ膜30がレジストマスク31に対してオーバーハング状に形成される。

【0050】

次に、図5（a）に示すように、コンタクトホール35の形成された絶縁膜34とシリカ膜30、レジストマスク31を覆って上層金属膜36を堆積させる。

【0051】

次に、シリカ膜30及びレジストマスク31を除去すると、図5（b）に示すように、その上の上層金属膜36も除去され、コンタクトホール35を通して下層配線35と上層配線37が接続される。

【0052】

以上のように、本実施形態では、図3（b）から図3（c）に到る工程で1回目のエッチングを行い、図4（a）から図4（b）に到る工程で2回目のエッチングを行うのであるが、2回目のエッチングのマスクにされるシリカ膜30は、

薄レジストマスク 26 をエッチング除去する際に形成され、しかも、 O_2 ガス中での異方性の R I E により、シリル化膜 29 を酸化し、 O_2 ガス系のプラズマエッチングの影響を受けにくいシリカ膜 30 に変換することにより形成されるので、シリカ膜 30 の平面形状は O_2 ガス中での R I E を行う前の厚レジストマスク 27 を構成する第 2 レジスト膜 24 の平面形状に近い形状を維持し、かつ、シリカ膜 30 の下のレジストマスク 31 をその内側に形成することが出来、リフトオフし易いレジスト構造を実現できる。従って、上層配線 37 の平面形状制御性が向上するので、上層配線間の短絡の確率を大幅に減らすことが可能となる。

【0053】

次に、本発明のパターン形成方法の第 1 の実施形態を横電界型の液晶表示装置に適用した第 1 の例を本発明の第 3 の実施形態として図 6 ～ 14 を参照して説明する。図 6 は、1 画素分の表示セルについて、T F T 基板の様子を示すもので、図 6 (a) は、T F T 基板をその上面から眺めたときの平面図であり、図 6 (b) は、図 6 (a) における切断線 A - A' を通り T F T 基板に直交する平面で T F T 基板、液晶、C F 基板 (T F T 基板に対向するカラーフィルタ基板を指し、以下、C F 基板と記載する) を切断したときの断面図である。また、図 7 ～ 14 は、横電界型の液晶表示装置の T F T 基板の製造方法を工程順に示す製造工程断面図であり、各図において (a) は図 6 (a) の切断線 A - A' に沿った断面図であり、(b)、(c) は図 6 (a) には示されないが、それぞれゲート配線の外部取出し用端子としてのゲート端子、ドレイン配線の外部取出し用端子としてのドレイン端子の断面図である。

【0054】

横電界型の液晶表示装置の動作について図 6 を参照して簡単に説明すると次のようになる。

【0055】

第 1 透明基板 101 の上にはまずゲート電極 122 を兼ねるゲート配線 222 が基板上を並行して配線され、同時に共通電極 242 も形成される。共通電極 242 は櫛歯状に形成され、後の工程で形成されるやはり櫛歯状の画素電極と対をなして電界を発生させる。ゲート配線 222、共通電極 242 の上にはゲート絶

縁膜 1 2 3 が形成され、その上をドレイン配線 2 3 2 がゲート配線 2 2 2 と交差するようにして形成される。ドレイン配線 2 3 2 はドレイン電極 1 3 2 を兼ね、ドレイン配線 2 3 2 の形成と同時にソース電極 1 3 1 及びその延長線である櫛歯状の画素電極 1 5 7 が形成される。ドレイン配線 2 3 2、ソース電極 1 3 1、画素電極 1 5 7 を覆ってパッシベーション膜 1 5 5 が形成されるが、ゲート配線 2 2 2 及びドレイン配線 2 3 2 は基板端部においては外部との接続用にその上の絶縁膜が開口され、図 5 には示されないが、コンタクトホールが形成され、コンタクトホールを通して外部からゲート配線 2 2 2 及びドレイン配線 2 3 2 に電気信号が印加される。

【 0 0 5 6 】

画素電極 1 5 7 は、図 5 (a) に示すように、下方に形成された共通電極 2 4 2 と共に互いに平行する電極を形成し、これらの間に電圧を印加することにより、第 1 透明基板 1 0 1 の表面に概略平行な電界を生じさせ、第 1 透明基板 1 0 1 とそれに対向する基板との間に充填されることとなる液晶 2 1 8 の向きを制御する。

【 0 0 5 7 】

次に、第 3 の実施形態の横電界型の液晶表示装置の製造方法について図 6 ～ 1 3 を参照して説明する。

【 0 0 5 8 】

まず、第 1 透明基板 1 0 1 の上に C r 等のゲート電極 1 3 3 を兼ねるゲート配線 1 5 3 が基板上を並行して配線され、同時に第 1 透明基板 1 0 1 の他の領域上に櫛歯状の共通電極 1 7 3 (及びゲート端子電極 1 9 3) とが形成される (図 6) 。共通電極 1 7 3 は、後の工程で形成される櫛歯状の画素電極と対をなすように形成され、それぞれの電極に電圧を印加することにより対向する櫛歯状の電極間で電界を生じさせる。

【 0 0 5 9 】

次に、シリコン酸化膜及びシリコン窒化膜 (S i N x) を順に第 1 透明基板 1 0 1 上全面に堆積してゲート絶縁膜 1 3 4 が形成され、その上をドレイン配線 1 5 3 がゲート配線 1 5 3 と交差するようにして形成される。ドレイン配線 1 3 8

はドレイン電極 1 5 8 を兼ね、ドレイン配線 1 3 8 の形成と同時にソース電極 1 5 9 及びその延長線である櫛歯状の画素電極 1 3 9 が形成される。ドレイン配線 1 3 8、ソース電極 1 5 9、画素電極 1 3 9 を覆ってパッシベーション膜 1 4 0 が形成されるが、ゲート配線 1 5 3 及びドレイン配線 1 3 8 は基板端部においては外部との接続用にその上の絶縁膜が開口され、図 6 には示されないが、コンタクトホールを通して外部からゲート配線 1 5 3 及びドレイン配線 1 3 8 に電気信号が印加される。

【 0 0 6 0 】

画素電極 1 3 9 は、図 6 (a) に示すように、その下方に形成された共通電極 1 7 3 と共に互いに並行する電極を形成し、これらの間に電圧を印加することにより、第 1 透明基板 1 0 1 の表面に概略平行な電界を生じさせ、第 1 透明基板 1 0 1 とそれに対向する基板との間に充填されることとなる液晶 2 8 1 の向きを制御する。

【 0 0 6 1 】

次に、第 3 の実施形態の横電界型の液晶表示装置の製造方法について、図 7 ～ 1 4 を参照して説明する。

【 0 0 6 2 】

まず、第 1 透明基板 1 0 1 の上に Cr 等のゲート電極 1 3 3 を形成するが、このとき同時に第 1 透明基板 1 0 1 の他の領域上に櫛歯状の共通電極 1 7 3 及びゲート端子電極 1 9 3 とを形成する (図 7) 。

【 0 0 6 3 】

次に、シリコン酸化膜及びシリコン窒化膜 (Si N x) を順に第 1 透明基板 1 0 1 上全面に堆積してゲート絶縁膜 1 3 4 とし、続いて、 a - Si 膜 1 4 1、n⁺型 a - Si 膜 1 4 2、ソース・ドレイン用の Cr 等の金属膜 1 4 3 を順に堆積し

、さらに金属膜 1 4 3 の上に膜厚 5 0 0 n m 程度のポジ形の第 1 レジスト膜 1 0 3 及び第 2 レジスト膜 1 0 4 を順次形成する。ここで、第 2 レジスト膜 1 0 4 はポジ形のシリル化が可能なレジスト膜であり、その膜厚は 3 0 0 n m 程度である。

【0064】

次に、例えば、遮光部と半透光部を有するレチクルをマスクにして、レジスト膜を露光、現像して、図8に示すように、ゲート電極133上方に、第1レジスト膜103を半透光部に対応するレジスト凹部105を有するレジストマスク106とし、第2レジスト膜104をレジスト凹部105を挟む形状のレジストマスク107とする。このとき、櫛歯状の共通電極173に挟まれて形成されるやはり櫛歯状の画素電極が形成されるべき領域とドレイン端子電極が形成されるべき領域には、レジストマスク106及びレジストマスク107が重ねて形成される。

【0065】

次に、図9に示すように、レジストマスク106及びレジストマスク107をマスクとして金属膜143、 n^+ 型a-Si膜142、a-Si膜141を上から順にエッチング除去する。

【0066】

次に、レジストマスク106及びレジストマスク107をシラザン等のシリル化剤に浸漬し、上記レジストマスク107のみをシリル化し、シリル化膜109を形成する。このシリル化膜109にはシリコン原子が多量に含まれる。ここで、レジストマスク106表面はシリル化されない。第1レジスト膜103はシリル化しないレジスト膜であるからである。

【0067】

次に O_2 ガス中での異方性のRIEを行う。このRIEで、図10に示すように、シリル化膜109を酸化し、シリカ膜110に変換させる。このシリカ膜110は、シリル化膜109に含まれるシリコンが酸素と反応しシリコン酸化膜となったものである。そして、レジスト凹部105のレジスト膜を除去し、その下に位置する金属膜143を露出させる。ここで、図9で示したレジストマスク106は図10に示すようなレジストマスク111に変わる。

【0068】

次に、シリカ膜110とレジストマスク111をエッチングマスクにし、SF

6、HClとHeの混合ガスを反応ガスとするRIEで金属膜143の露出した領域をドライエッチングし、さらにエッチングを進めて n^+ 型a-Si膜142の全部とa-Si膜141の一部をエッチング除去する。そして、図11に示すようにa-Si膜141に凹部112を形成する。この場合のドライエッチング条件として、圧力30Pa、ガス流量 $SF_6/HCl/He=50/100/200$ sccm、RFパワー=800W、60秒の処理条件を用いる。

【0069】

次に、シリカ膜110とレジストマスク111を除去すると、図12に示すように、ソース電極159、オーミック層144とドレイン電極158、オーミック層145、凹部112を有するTFTのアイランド108、画素電極139、ドレイン端子電極178、オーミック層147が形成される。

【0070】

ここで、上記実施形態では、図8において、レジストマスク106及びレジストマスク107をマスクとして金属膜143、 n^+ 型a-Si膜142、a-Si膜141を上から順に一度にエッチング除去したが、金属膜143のみをエッチング除去し、続いて、 O_2 ガス中での異方性のRIEを行って、図9に示すように

、シリル化膜109をシリカ膜110に変換させ、その後、レジスト凹部105のレジスト膜をエッチング除去すると同時に n^+ 型a-Si膜142、a-Si膜141を上から順にエッチング除去し、さらにエッチングを進めてレジスト凹部105下方の n^+ 型a-Si膜142の全部及びa-Si膜141の一部を除去する方法も可能である。この場合、エッチング条件としてはゲート絶縁膜134と n^+ 型a-Si膜142、a-Si膜141との選択比の大きい条件が選ばれる。

【0071】

以上のように、本実施形態では、図8から図9に到る工程で1回目のエッチングを行い、図9から図11に到る工程で2回目のエッチングを行うのであるが、2回目のエッチングのマスクにされるシリカ膜110は、レジスト凹部105のレジスト膜をエッチング除去する際に形成され、しかも、 O_2 ガス中での異方性

の R I E により、シリル化膜 1 0 9 を酸化し、 O_2 ガス系のプラズマエッチングの影響を受けにくいシリカ膜 1 1 0 に変換することにより形成されるので、シリカ膜 1 1 0 の平面形状は O_2 ガス中での R I E を行う前のレジストマスク 1 0 7 の平面形状に近い形状を維持することが出来る。従って、レジストマスク 1 1 1 の形成も容易になりその平面形状制御性が向上するので、凹部 1 1 2 の形状を設計値に近い形状とすることが出来る。また、シリカ膜 1 1 0 及びレジストマスク 1 1 1 をマスクとして 2 回のエッチングに晒される画素電極 1 3 9 及びドレイン端子電極 1 7 8 は、パターン精度の良いシリカ膜 1 1 0 及びレジストマスク 1 1 1 をマスクとしているので設計値通りのパターンに形成することができる。

【 0 0 7 2 】

次に、パッシベーション膜 1 4 0 を成膜後、フォトリソグラフィ工程と SF_6 / He ガス = 5 0 / 1 5 0 s c c m、1 0 P a、1 0 0 0 W、2 5 0 秒のドライエッチング処理によりゲート端子及びドレイン端子において、ゲート端子電極 1 9 3 及びドレイン端子電極 1 7 8 の上にそれぞれコンタクトホール 1 3 5、1 5 5 を形成する。ここで、ゲート端子では、コンタクトホール 1 3 5 はゲート絶縁膜 1 3 4 及びパッシベーション膜 1 4 0 を貫通し、ドレイン端子では、コンタクトホール 1 5 5 はパッシベーション膜 1 4 0 のみを貫通する構成となる（図 1 3）。

【 0 0 7 3 】

次に、コンタクトホール 1 3 5、1 5 5 を覆うようにして I T O 等からなる透明金属膜を成膜後、フォトリソグラフィ工程と塩化第 2 鉄系エッチング液によりゲート端子透明電極 1 3 7 及びドレイン端子透明電極 1 5 7 を形成し、端子部における配線引出抵抗を下げ、その上で端子領域を除く表示部の表面を配向膜 2 8 0 で覆う（図 1 4）。

【 0 0 7 4 】

最後に、第 1 透明基板 1 0 1 の裏面（T F T の形成されていない第 1 透明基板 1 0 1 の面を裏面と呼ぶ）に偏光板 1 8 2 を形成すると、横電界型の液晶表示装置の T F T 基板が完成する（図 6）。

【 0 0 7 5 】

液晶表示装置の色表示は、図6(b)に示すように、第1透明基板101の裏面から光283を入射させてTFT基板100に対向するカラーフィルタ（以降、CFと略記する）基板200を照射することにより行われる。

【0076】

一方、CF基板200は次のようにして形成される。

【0077】

まず、ガラス等の透明絶縁材料からなる第2透明基板201及び第2透明基板201の一方の面上のブラックマトリクス284、色層285、シリコン窒化膜(SiNx)等からなる第2絶縁膜286と、第2透明基板201の他方の面上の導電膜287、偏光板282とを備え、基板の最上層の表面にオフセット印刷等による方法で配向膜280を印刷することにより形成される。

【0078】

こうして得られたTFT基板100とCF基板200の配向膜をラビング処理し、所定の方向に配向膜分子を並べ、この2枚の基板が所定の間隔を持つようにセルギャップ材を挟みこませて組み合わせ、その間隙に液晶281を封止する。

【0079】

また、TFT基板100の表面に対して実効的に横方向の電界を発生させる櫛歯状の画素電極139と共通電極173との相互間隔は、およそ7 μ mが設定される。

【0080】

また、偏光板182、偏光板282はおよそ0.2mmの厚さに設定される。導電膜287は、およそ50nmの厚さに設定される。第1透明基板及び第2透明基板は、およそ0.7mmの厚さに設定される。ブラックマトリクス284は、およそ1 μ mの厚さに設定される。色層285は、およそ1 μ mの厚さに設定される。第2絶縁膜286の厚さはおよそ1 μ mの厚さに設定される。配向膜280は、およそ50nmの厚さに設定される。ゲート絶縁膜134は、およそ500nmの厚さに設定される。パッシベーション膜140は、およそ300nmの厚さに設定される。共通電極173は、およそ400nmの厚さに設定される。また、液晶281の厚さ（セルギャップ）は、セル内スペーサを適度な散布密

度にて配置し、4.5 μm と設定される。

【0081】

このようにして得られた液晶パネルは、ラビング方法により規定した液晶の配向方向にTFT基板100の偏光板182の透過軸を一致させ、かつ、CF基板200にはTFT基板100側と吸収軸を直交させた偏光板282を貼り合わせ、光283をTFT基板100側から照射し、画素電極139と共通電極173の間に自在に電位差を与えることで、黒表示から白表示までフルカラー表示を行うことができる。

【0082】

次に、本発明のパターン形成方法の第1の実施形態を横電界型の液晶表示装置に適用した第2の例を本発明の第4の実施形態として図15～18を参照して説明する。第2の例が上述した第1の例と異なるのは、本発明のパターン形成方法の第1の実施形態をコンタクトホール形成工程に用いた点である。従って、本実施形態は第1の例と第2の例とを同時に横電界型の液晶表示装置の製造工程に適用しており、液晶表示装置の製造工程に一層の工程短縮効果及び歩留まり向上効果が得られる。勿論、第1の例と第2の例のいずれかを横電界型の液晶表示装置に用いることも可能である。

【0083】

また、本実施形態においても、図15～18は、横電界型の液晶表示装置のTFT基板の製造方法を工程順に示す製造工程断面図であり、各図において(a)は図6(a)の切断線A-A'に沿った断面図であり、(b)、(c)は図6(a)には示されないが、それぞれゲート配線の外部取出し用端子としてのゲート端子、ドレイン配線の外部取出し用端子としてのドレイン端子の断面図である。本実施形態の製造工程のソース電極、ドレイン電極形成までは、第3の実施形態の図7～12までと同様であるので説明は省略し、ソース電極、ドレイン電極の上にパッシベーション膜を形成する工程以降について説明することとする。

【0084】

まず、図12の状態から、パッシベーション膜340を成膜後、パッシベーション膜340の上に膜厚500nm程度のポジ形の第1レジスト膜323及びボ

ジ形のシリル化が可能な第2レジスト膜324を膜厚300nm程度に形成する。

【0085】

次に、例えば、遮光部と半透光部を有するレチクルをマスクにして、レジスト膜を露光、現像して、ゲート端子電極193上方に、透光部に対応する開口部325を、ドレイン端子電極178上方に、半透光部に対応する第2レジスト膜324のみが開口された開口部388を形成し、残りの領域は第1レジスト膜323及び第2レジスト膜324で覆う（図15）。

【0086】

次に、第1レジスト膜323及び第2レジスト膜324をシラザン等のシリル化剤に浸漬し、第2レジスト膜324のみをシリル化し、シリル化膜とする。このシリル化膜にはシリコン原子が多量に含まれる。ここで、第1レジスト膜323はシリル化されない。第1レジスト膜323はシリル化しないレジスト膜であるからである。

【0087】

次に、 O_2 ガス中での異方性のRIEを行う。このRIEで、シリル化膜を酸化し、シリカ膜330に変換させる。このシリカ膜330は、シリル化膜に含まれるシリコンが酸素と反応しシリコン酸化膜となったものである。そして、RIEを続けながらドレイン端子電極178上方の第1レジスト膜323を除去し、同時にゲート端子電極193上方のパッシベーション膜340を一部除去する。このとき、パッシベーション膜340よりもその下のゲート絶縁膜134の方が厚い場合は、パッシベーション膜340を全て除去してゲート絶縁膜134の一部を除去するまでエッチングしても良い。この工程により、図15で示した第1レジスト膜323は図16に示すようなレジストマスク331に変わる（図16）。

【0088】

次に、シリカ膜330とレジストマスク331をエッチングマスクにし、 SF_6 とHeの混合ガスを反応ガスとするRIEでドレイン端子電極178上方及びゲート端子電極193上方の絶縁膜を全て除去すると、ドレイン端子電極1

78及びゲート端子電極193上にコンタクトホール355及びコンタクトホール335がそれぞれ形成される(図17)。この場合のドライエッチング条件として、 SF_6/He ガス=50/150sccm、10Pa、1000W、250秒のドライエッチング処理条件を用いる。

【0089】

本実施形態では、図15から図16に到る工程でドレイン端子電極178上方の第1レジスト膜323を除去しながらゲート端子電極193上方のパッシベーション膜340を一部除去しているが、まずゲート端子電極193上方のパッシベーション膜340のみを選択的に一部除去した後に第2レジスト膜324をシリカ膜にしつつドレイン端子電極178上方の第1レジスト膜323を除去してドレイン端子電極178上方及びゲート端子電極193上方の絶縁膜の膜厚をほぼ等しくした後に、ドレイン端子電極178上方及びゲート端子電極193上方の絶縁膜を除去しても良い。この方法は、特にパッシベーション膜の方がゲート絶縁膜よりも厚く形成されている場合に有効である。

【0090】

この後は、第3の実施形態の図14以降の製造方法により横電界型の液晶表示装置が完成する。

【0091】

以上のように、本実施形態では、図16の工程で1回目のエッチングを行い、図16から図17に到る工程で2回目のエッチングを行うのであるが、2回目のエッチングのマスクにされるシリカ膜330は、第1レジスト膜323をエッチング除去する際に形成され、しかも、 O_2 ガス中での異方性のRIEにより、シリル化膜を酸化し、 O_2 ガス系のプラズマエッチングの影響を受けにくいシリカ膜330に変換することにより形成されるので、シリカ膜330の平面形状は O_2 ガス中でのRIEを行う前の第2レジスト膜324の平面形状に近い形状を維持することが出来る。従って、レジストマスク331の形成も容易になりその平面形状制御性が向上するので、ゲート端子電極193及びドレイン端子電極178上のコンタクトホール335、355の形状を設計通りの形状とすることが出来る。

【 0 0 9 2 】

次に、本発明のパターン形成方法の第 2 の実施形態を横電界型の液晶表示装置に適用した例を本発明の第 5 の実施形態として図 1 8 ～ 2 2 を参照して説明する。本実施形態は、上述した第 3 の実施形態とは、コンタクトホール及びその後続くゲート端子透明電極及びドレイン端子透明電極の形成方法が異なる。従って、第 3 の実施形態と本実施形態とを同時に横電界型の液晶表示装置の製造工程に適用すれば液晶表示装置の製造工程に一層の工程短縮効果及び歩留まり向上効果が得られることは言うまでもない。また、本実施形態においても、図 1 8 ～ 2 2 は、横電界型の液晶表示装置の T F T 基板の製造方法を工程順に示す製造工程断面図であり、各図において (a) は図 6 (a) の切断線 A - A ' に沿った断面図であり、(b)、(c) は図 6 (a) には示されないが、それぞれゲート配線の外部取出し用端子としてのゲート端子、ドレイン配線の外部取出し用端子としてのドレイン端子の断面図である。本実施形態の製造工程のソース電極、ドレイン電極形成までは、第 3 の実施形態の図 7 ～ 1 2 までと同様であるので説明は省略し、ソース電極、ドレイン電極の上にパッシベーション膜を形成する工程以降について説明することとする。

【 0 0 9 3 】

まず、図 1 2 の状態からパッシベーション膜 4 4 0 を成膜後、パッシベーション膜 4 4 0 の上に膜厚 5 0 0 n m 程度のポジ形の第 1 レジスト膜 4 2 3 及びポジ形のシリル化が可能な第 2 レジスト膜 4 2 4 を膜厚 3 0 0 n m 程度に形成し、続いて、例えば、遮光部と半透光部を有するレチクルをマスクにして、レジスト膜を露光、現像して、ゲート端子電極 1 9 3 及びドレイン端子電極 1 7 8 上方に、透光部に対応するそれぞれ開口部 4 2 5、4 8 8 を第 1 レジスト膜 4 2 3 に開口し、開口部 4 2 5、4 8 8 の近傍以外の領域に遮光部に対応する第 2 レジスト膜 4 2 4 を形成する (図 1 8)。

【 0 0 9 4 】

次に、第 1 レジスト膜 4 2 3 及び第 2 レジスト膜 4 2 4 をマスクとして開口部 4 2 5 に露出しているパッシベーション膜 4 4 0 及びゲート絶縁膜 1 3 4 と開口部 4 8 8 に露出しているパッシベーション膜 4 4 0 をエッチング除去してゲート

端子電極 1 9 3 及びドレイン端子電極 1 7 8 の表面を露出させ、それぞれコンタクトホール 4 3 5、4 5 5 を形成する (図 1 9)。

【 0 0 9 5 】

次に、第 1 レジスト膜 4 2 3 及び第 2 レジスト膜 4 2 4 をシラザン等のシリル化剤に浸漬し、第 2 レジスト膜 4 2 4 のみをシリル化し、シリル化膜とする。このシリル化膜にはシリコン原子が多量に含まれる。ここで、第 1 レジスト膜 4 2 3 表面はシリル化されない。第 1 レジスト膜 4 2 3 はシリル化しないレジスト膜であるからである。

【 0 0 9 6 】

次に、 O_2 ガス中での異方性の R I E を行う。この R I E でシリル化膜を酸化し、シリカ膜 4 3 0 に変換させる。このシリカ膜 4 3 0 は、シリル化膜に含まれるシリコンが酸素と反応しシリコン酸化膜となったものである。そして、R I E を続けながら開口部 4 3 5、4 5 5 近傍の第 1 レジスト膜 4 2 3 を除去し、開口部 4 3 5、4 5 5 近傍のパッシベーション膜 4 4 0 の表面を露出させる。ここで、図 1 9 で示した第 1 レジスト膜 4 2 3 は図 2 0 に示すようなレジストマスク 4 3 1 に変わるが、シリカ膜 4 3 0 はエッチング中エッチングがほとんど進行せず、逆に、第 1 レジスト膜 4 2 3 はエッチングが進行し易いため、シリカ膜 4 3 0 はレジストマスク 4 3 1 に対してオーバーハング状に形成される (図 2 0)。

【 0 0 9 7 】

次に、開口部 4 3 5、4 5 5 の形成されたパッシベーション膜 4 4 0 及びシリカ膜 4 3 0 とレジストマスク 4 3 1 を覆って、I T O 等からなる透明金属膜 4 3 6 を成膜する (図 2 1)。

【 0 0 9 8 】

図 2 1 の状態からシリカ膜 4 3 0 及びその下のレジストマスク 4 3 1 を除去すると、シリカ膜 4 3 0 の上の透明金属膜 4 3 6 も一緒に除去され、ゲート端子電極 1 9 3 及びドレイン端子電極 1 7 8 上の開口部 4 3 5、4 5 5 にそれぞれゲート端子透明電極 4 3 7 及びドレイン端子透明電極 4 5 7 が形成される。この後は、第 3 の実施形態と同様にしてパッシベーション膜 4 4 0 を配向膜 2 8 0 で覆う

工程が続き、横電界型の液晶表示装置が完成する（図 2 2）。

【 0 0 9 9 】

以上のように、本実施形態では、図 1 9 の工程で 1 回目のエッチングを行い、図 2 0 の工程で 2 回目のエッチングを行うのであるが、2 回目のエッチングのマスクにされるシリカ膜 4 3 0 は、第 1 レジスト膜 4 2 3 をエッチング除去する際に形成され、しかも、 O_2 ガス中での異方性の R I E により、シリル化膜を酸化し

、 O_2 ガス系のプラズマエッチングの影響を受けにくいシリカ膜 4 3 0 に変換することにより形成されるので、シリカ膜 4 3 0 の平面形状は O_2 ガス中での R I E を行う前の第 2 レジスト膜 4 2 4 の平面形状に近い形状を維持することが出来る。従って、レジストマスク 4 3 1 の形成をシリカ膜 4 3 0 の形状と独立させて形成でき、シリカ膜 4 3 0 のレジストマスク 4 3 1 に対するオーバーハング形状を容易に制御することができ、透明金属膜 4 3 6 をリフトオフする際の最適の下地を形成することが可能となる。

【 0 1 0 0 】

以上が本発明の実施形態の説明であるが、本発明は、上記の実施形態に限定されることなく、第 2 レジスト膜は、第 1 レジスト膜に比較しエッチング耐性のあるレジスト膜、または別の表現では改質レジスト膜となるように形成されるが、このエッチング耐性のあるレジストの形成方法として、上述した実施形態では、上層の第 2 レジスト膜にシリル化が可能なレジスト膜を用い、第 2 レジスト膜をシラザンを含むシリル化剤に浸漬しシリル化させ、さらに酸素を含むガスでのドライエッチングによりシリコン酸化膜に改質して、エッチング耐性を持つようにする場合を示したが、これ以外の方法として、（1）当初よりエッチング耐性のあるレジスト膜を塗布形成する場合や、（2）ドライエッチングによりエッチング中にエッチング耐性のある膜に改質するレジスト膜を予め選定し、第 2 レジスト膜として堆積させておく場合とがあり、以下にそれらを説明する。

（1）当初よりエッチング耐性のあるレジスト膜を塗布形成する場合

第 1 レジスト膜及び第 2 レジスト膜を共に有機材料からなるレジスト膜とする場合で、この場合、ベンゼン環を多く含むほどドライエッチング耐性が上昇し、

- (a) ノボラック系樹脂（例：クレゾールノボラック樹脂、クレゾールノボラック樹脂とナフトキノンジアジド-5-スルホン酸エステルを混合した有機材料）
- (b) 芳香族ビスアジド-ゴム系（例：環化ポリイソプレン、環化ポリブタジエンにビスアジド化合物を混合した有機材料）
- (c) ケイ皮酸素
- (d) クロルメチル化ポリスチレン
- (e) メチルメタクリレート
- (f) アクリル酸の共重合樹脂系（例：ポリアクリルアミド、ポリアミド酸）
- (g) ポリビニル系（例：ポリグリシジルメタクリレート、ポリビニルケイ皮酸エステル）

の順にドライエッチング耐性が高いので、これに応じて第1レジスト膜にエッチング耐性の低い、例えば（g）のポリビニル系の有機材料を、第2レジスト膜にエッチング耐性の高い、例えば（a）のノボラック系樹脂を選定する。

（2）ドライエッチングによりエッチング中にエッチング耐性のある膜に改質するレジスト膜を予め選定し、第2レジスト膜として堆積させておく場合、第1レジスト膜として、例えば（1）で示した（a）～（g）のいずれかの有機材料を選定し、第2レジスト膜として、次のような無機材料を含有するレジスト膜を堆積させる。

【0101】

(h) Si含有レジスト：

シロキサン、ポリシロキサン、ポリシラン、ポリシリール、カルボシランを含むレジスト

(i) Si以外の金属含有レジスト：

ゲルマニウム、カルコゲナイドガラス（例：Se-Ge薄膜）、ヘテロポリタングステン酸、金属ハロゲン物（例：塩化カドミウム、フッ化アルミニウム、LiF、AlF₃をドーブしたLiF）

次に、第1レジスト膜のエッチング除去は、1）ドライエッチング及び2）ウ

ェットエッチングの両方が考えられる。すなわち、1) ドライエッチングにおいては、 O_2 ガス、フッ素系ガス、又は O_2 ガスとフッ素系ガスの混合ガスのいずれかのプラズマ処理ガスを用いて行われ、プラズマ処理ガスがフッ素系ガスであるときは、 SF_6 、 CF_4 、 CHF_3 のいずれかを含むガスであり、プラズマ処理ガスが O_2 ガスとフッ素系ガスの混合ガスであるときは、 SF_6/O_2 、 CF_4/O_2 、 CHF_3/O_2 のいずれかのガスを含むプラズマ処理ガスを用いる。

【0102】

また、2) ウェットエッチングにおいては、すなわちテトラメチルアンモニウムヒドロオキシド、コリン、有機アミン等の有機アルカリ溶液や、 KOH 、 $NaOH$ 、 $Ca(OH)_2$ 、 $CaCO_3$ 等のいずれかを含む等の無機アルカリ溶液が選ばれる。これは、このウェットエッチングが、上層の第2レジスト膜にシリル化が可能なレジスト膜を用い、第2レジスト膜をシラザンを含むシリル化剤に浸漬しシリル化させ、さらに酸素を含むガスでのドライエッチングによりシリコン酸化膜に改質してエッチング耐性を持つようにする場合に適用できることを意味している。その他に、このウェットエッチングは、ドライエッチングに対するエッチング耐性のあるレジスト膜として既に挙げた(1)当初よりエッチング耐性のあるレジスト膜を塗布形成する場合、(2)ドライエッチングによりエッチング中にエッチング耐性のある膜に改質するレジスト膜を予め選定し、第2レジスト膜として堆積させておく場合に対しても適用できる。

【0103】

さらに、本発明は、上述した横電界型の液晶表示装置に限定されることなく、縦電界型の液晶表示装置(例えば、TFTのソース電極の上のコンタクトホール)にも容易に適用可能な技術であることは自明のことである。

【0104】

また、本発明の第3、4、5の実施形態は、逆スタガード型のTFTパターンまでの形成方法であるが、本発明のパターン形成方法はこれに限らず、前記TFTパターンの形成方法のうち、画素電極の下部に色(カラーフィルタ)層、又は平坦化膜と色(カラーフィルタ)層を形成したカラーフィルタ付きTFTパターンの形成方法でも実施可能である。

【0105】

最後に、上述の本発明の第1～5の実施形態に示すパターン形成方法は、例えばフラットディスプレイパネルの液晶表示装置（LCD）、エレクトロルミネッセンス表示装置（EL）、フィールドエミッションディスプレイ（FED）、蛍光表示装置、プラズマディスプレイパネル（PDP）のアクティブ素子基板、または、集積回路を備えた基板の製造工程において製造方法として用いられる。

【0106】

【発明の効果】

以上に説明したように、本発明のパターン形成方法及びそれを用いた液晶表示装置の製造方法では、レジストマスクの膜厚の違いを利用して従来の2PR工程1PR工程で済ませる際に、レジストマスクのうち薄い方のレジストマスクをエッチング除去するプロセスがあるが、この除去プロセスが開始されるときに、厚い方のレジストマスクの上層をエッチングされにくい膜質に改質するので、厚い方のレジストマスクはその平面形状をエッチング前の形状に維持することができる。従って、厚い方のレジストマスクがエッチングされて残るレジストマスクをマスクとして得られるエッチングパターンの形状は、設計値に近い形状となり、エッチング処理を受けた後に残るレジストマスクのパターンの形状を所望の形状にしなが工程を簡略化することが可能となる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態を製造工程順に示す断面図である。

【図2】

図1に続く製造工程を示す断面図である。

【図3】

本発明の第2の実施形態を製造工程順に示す断面図である。

【図4】

図3に続く製造工程を示す模式断面図である。

【図5】

図4に続く製造工程を示す断面図である。

【図 6】

本発明の第 3 の実施形態の平面図及び断面図である。

【図 7】

本発明の第 3 の実施形態を製造工程順に示す断面図である。

【図 8】

図 7 に続く製造工程を示す断面図である。

【図 9】

図 8 に続く製造工程を示す断面図である。

【図 1 0】

図 9 に続く製造工程を示す断面図である。

【図 1 1】

図 1 0 に続く製造工程を示す断面図である。

【図 1 2】

図 1 1 に続く製造工程を示す断面図である。

【図 1 3】

図 1 2 に続く製造工程を示す断面図である。

【図 1 4】

図 1 3 に続く製造工程を示す断面図である。

【図 1 5】

本発明の第 4 の実施形態の製造工程を示す断面図である。

【図 1 6】

図 1 5 に続く製造工程を示す断面図である。

【図 1 7】

図 1 6 に続く製造工程を示す断面図である。

【図 1 8】

本発明の第 5 の実施形態の液晶表示装置を示す断面図である。

【図 1 9】

図 1 8 に続く製造工程を示す断面図である。

【図 2 0】

図 19 に続く製造工程を示す断面図である。

【図 21】

図 20 に続く製造工程を示す断面図である。

【図 22】

図 21 に続く製造工程を示す断面図である。

【図 23】

第 1 の従来例の製造工程を示す断面図である。

【図 24】

図 23 に続く製造工程を示す断面図である。

【図 25】

第 2 の従来例の製造工程を示す模式断面図である。

【符号の説明】

- 1、21 絶縁基板
- 2 被エッチング膜
- 3、23、103、323、423 第1レジスト膜
- 4、24、104、324、424 第2レジスト膜
- 5、105 レジスト凹部
- 6、7、11、31、106、107、111、331、431 レジストマスク
- 8、108 アイランド
- 9、29、109 シリル化膜
- 10、30、110、330、430 シリカ膜
- 12、112 凹部
- 26、326 薄レジストマスク
- 27、327 厚レジストマスク
- 33 下層配線
- 34 絶縁膜
- 35、135、155、335、355、435、455 コンタクトホール

3 6	上層金属膜
3 7	上層配線
6 7	残存レジストマスク
1 0 0	T F T 基板
1 0 1、5 0 1、6 0 1	第 1 透明基板
1 3 3、5 3 3、6 3 3	ゲート電極
1 3 4、5 3 4、6 3 4	ゲート絶縁膜
1 3 7、4 3 7	ゲート端子透明電極
1 3 8	ドレイン配線
1 3 9	画素電極
1 4 0、3 4 0、4 4 0、6 4 0	パッシベーション膜
1 4 1、5 4 1、6 4 1	a - S i 膜
1 4 2、5 4 2、6 4 2	n ⁺ 型 a - S i 膜
1 4 3、5 4 3	金属膜
1 4 4、1 4 5、1 4 6、1 4 7	オーミック層
1 5 3	ゲート配線
1 5 7、4 5 7	ドレイン端子透明電極
1 5 8、6 5 8	ドレイン電極
1 5 9、6 5 9	ソース電極
1 7 3	共通電極
1 7 8、6 7 8	ドレイン端子電極
1 8 2、2 8 2	偏光板
1 9 3、6 9 3	ゲート端子電極
2 0 0	C F 基板
2 0 1	第 2 透明基板
2 8 0	配向膜
2 8 1	液晶
2 8 3	光
2 8 4	ブラックマトリクス

2 8 5 色層

2 8 6 第 2 絶縁膜

2 8 7 導電膜

3 2 5、3 8 8、4 2 5、4 8 8 開口部

4 3 6 透明金属膜

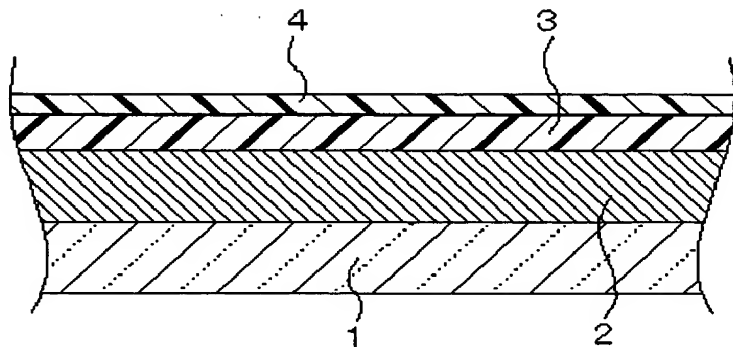
5 2 6、5 2 7、6 2 6、6 2 7 感光膜パターン

6 6 0 a - S i 膜分離部

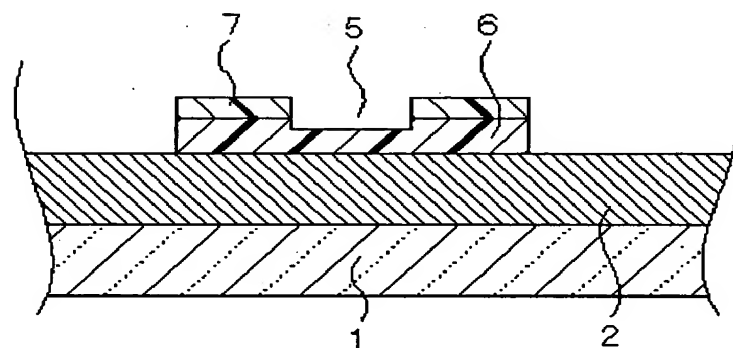
【書類名】 図面

【図1】

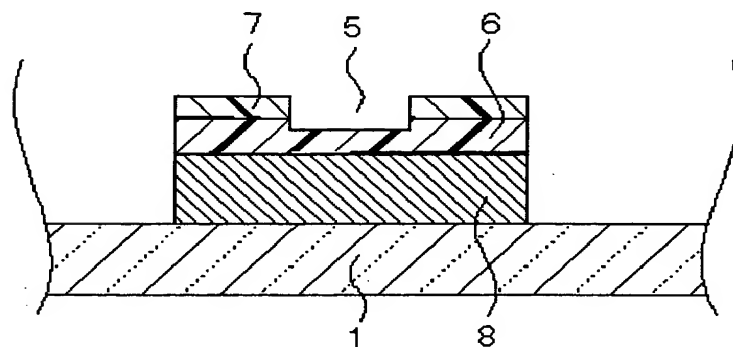
(a)



(b)

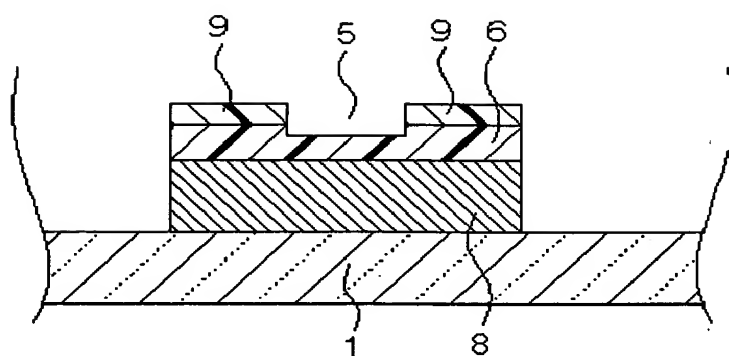


(c)

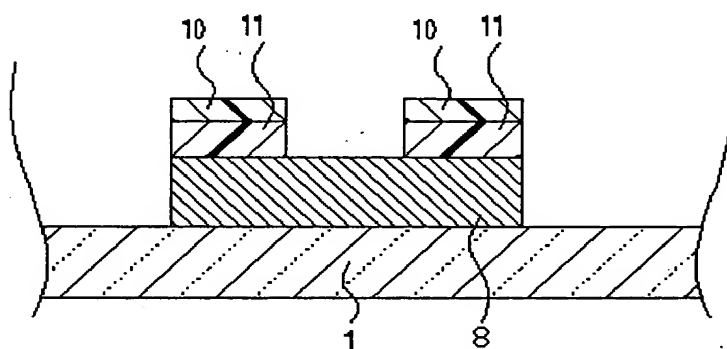


【図 2】

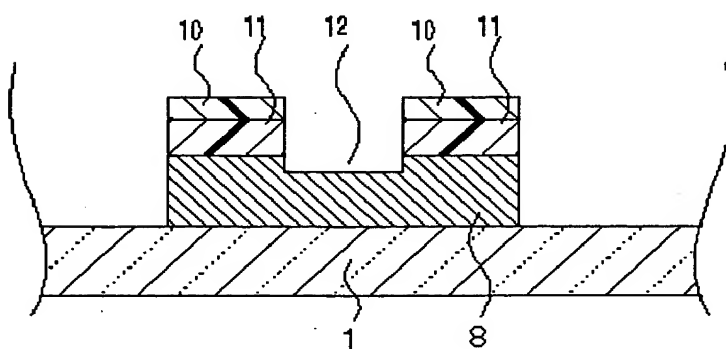
(a)



(b)

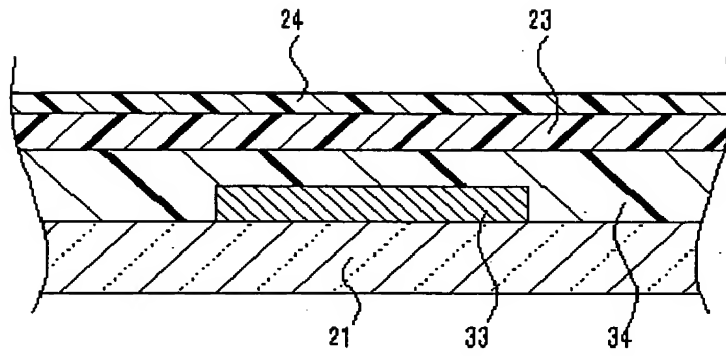


(c)

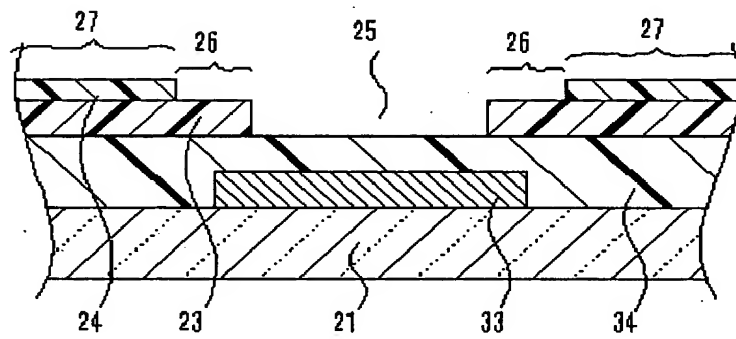


【図 3】

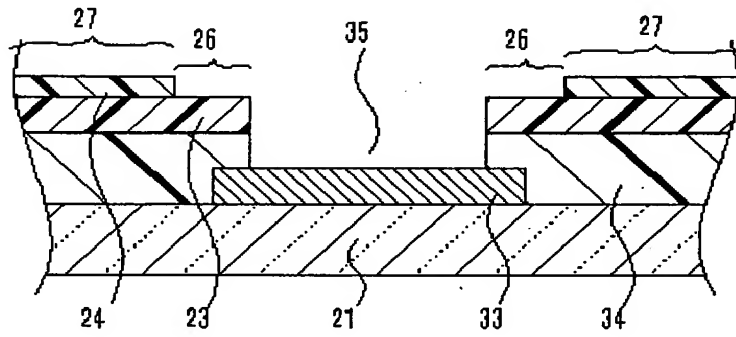
(a)



(b)

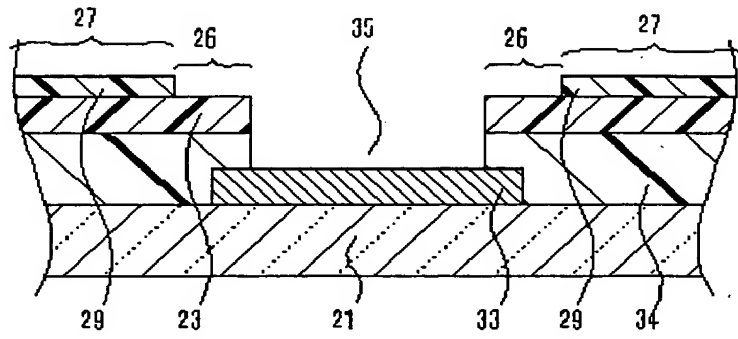


(c)

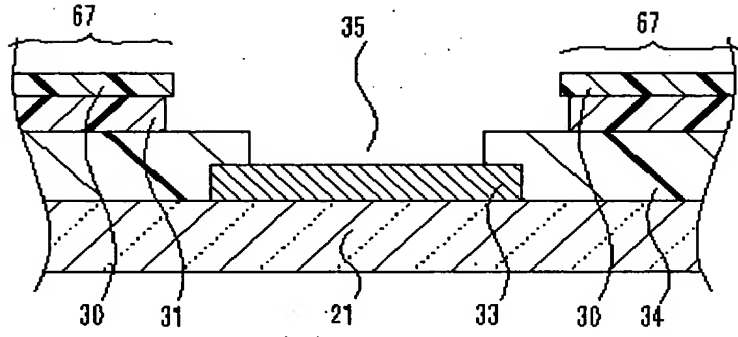


【図 4】

(a)

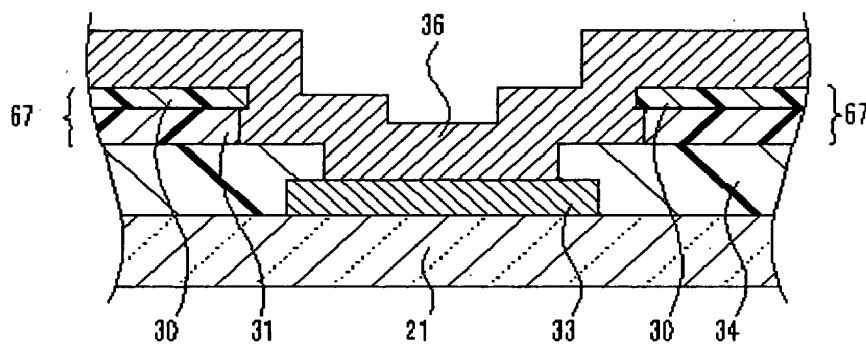


(b)

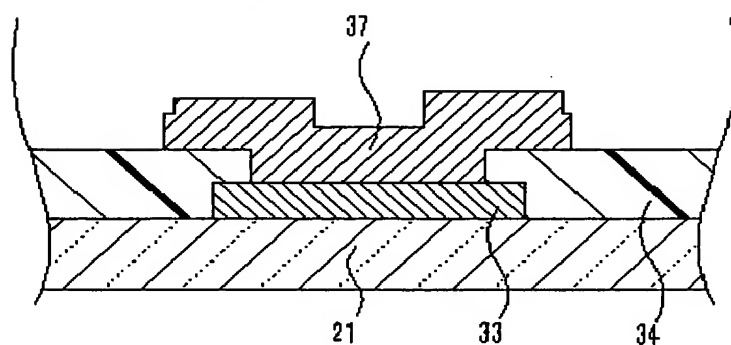


【図 5】

(a)

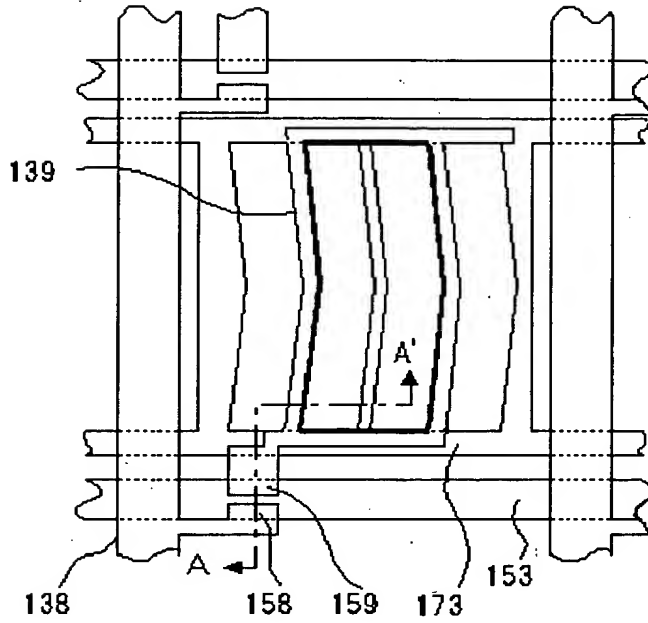


(b)

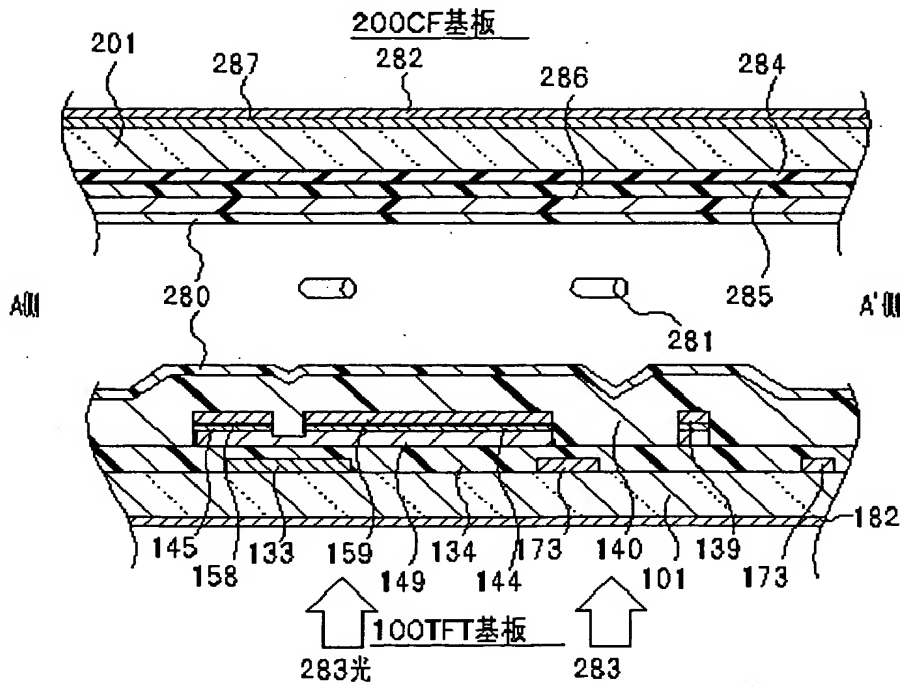


【图 6】

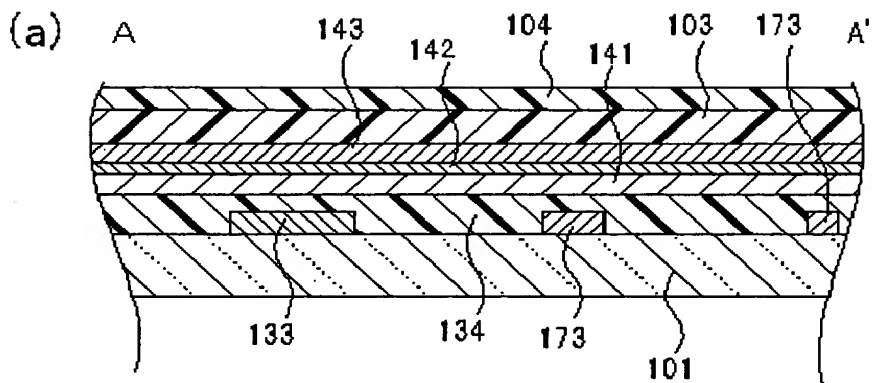
(a)



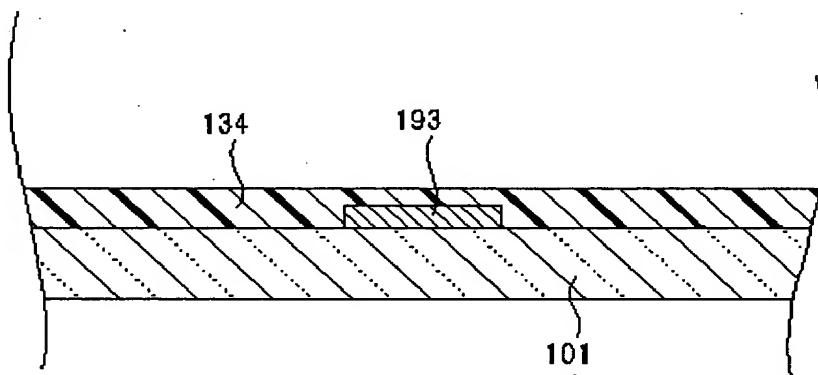
(b)



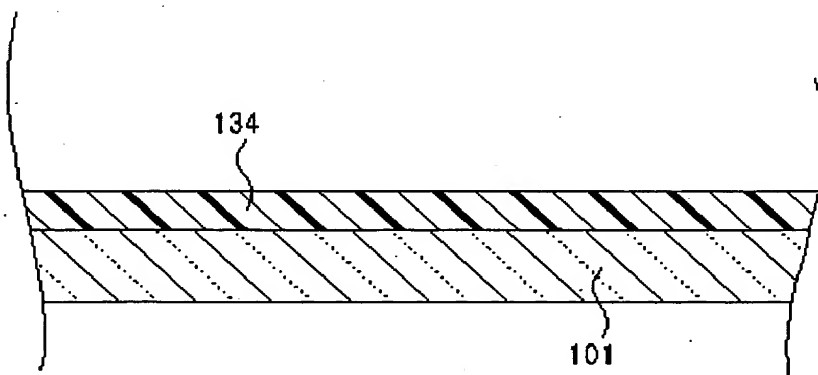
【図 7】



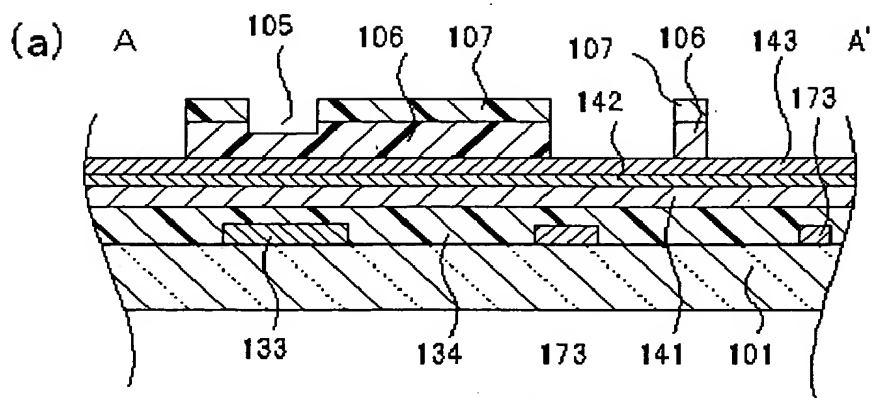
(b) ゲート端子



(c) ドレイン端子

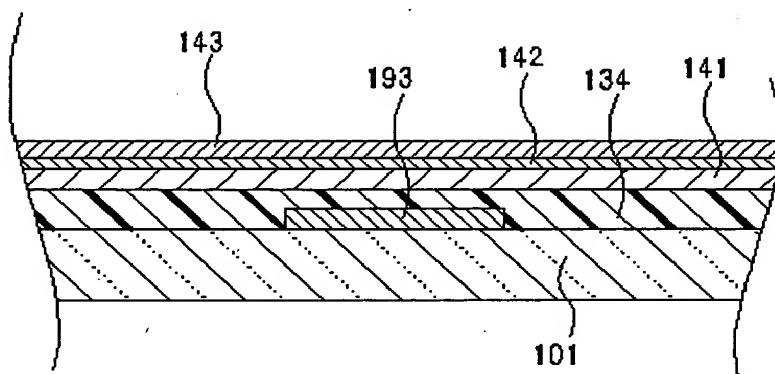


【図 8】



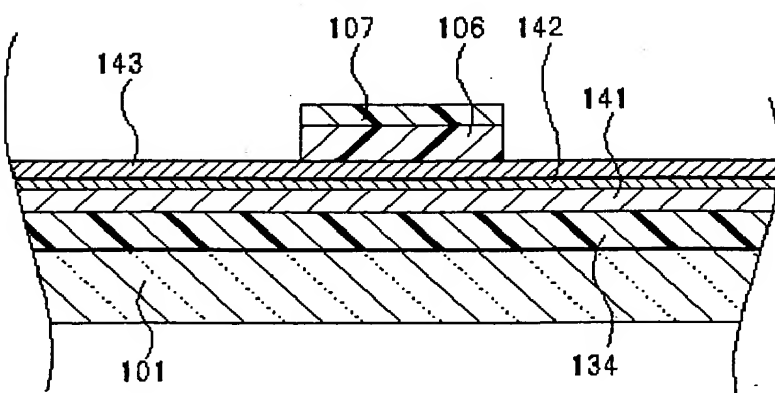
(b)

ゲート端子

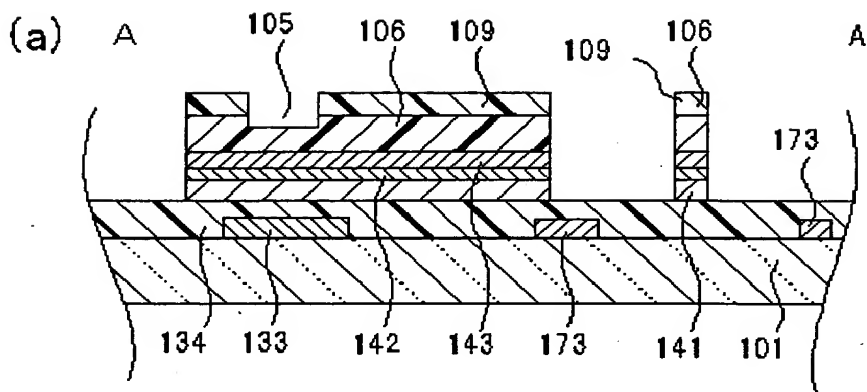


(c)

ドレイン端子

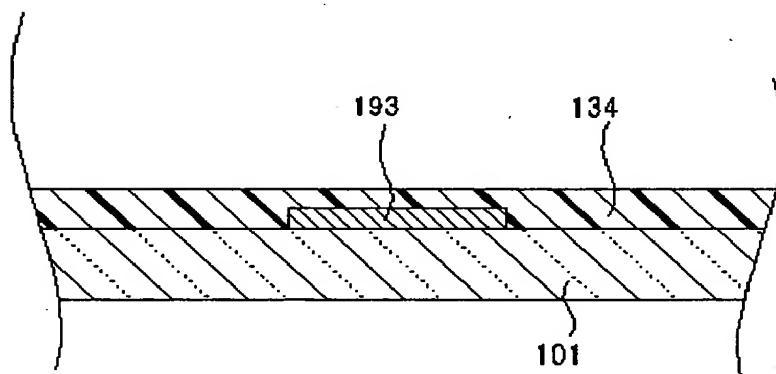


【図9】



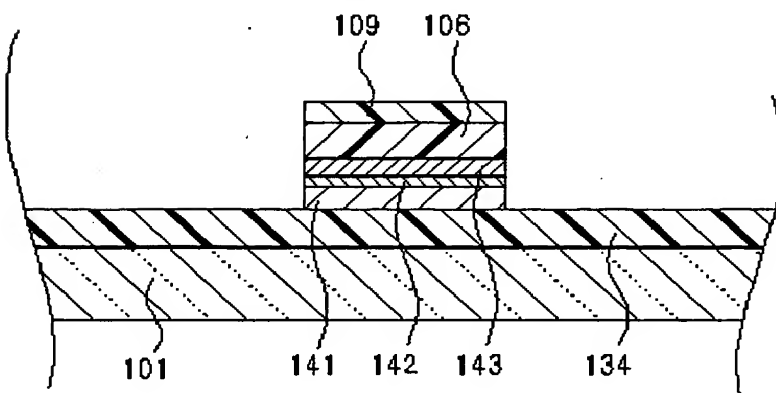
(b)

ゲート端子

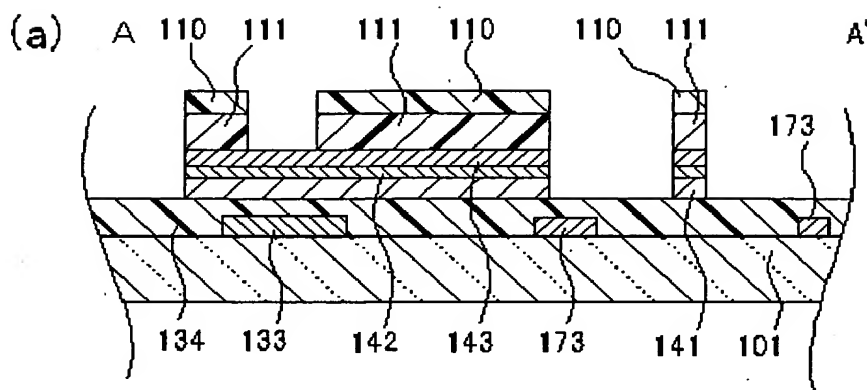


(c)

ドレイン端子

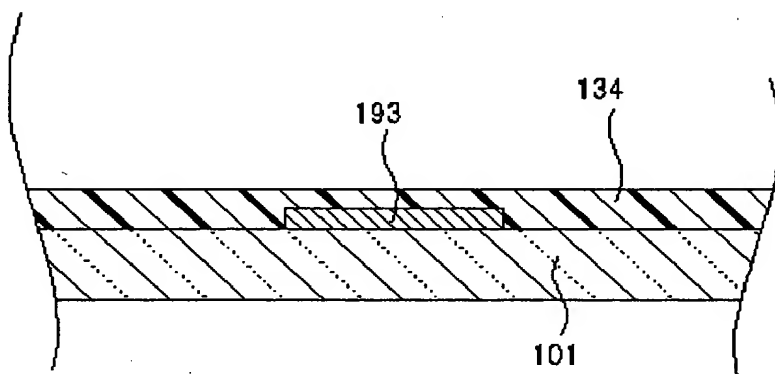


【図10】



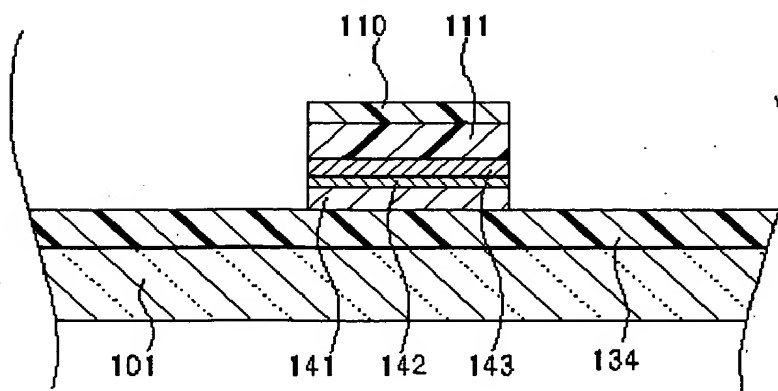
(b)

ゲート端子

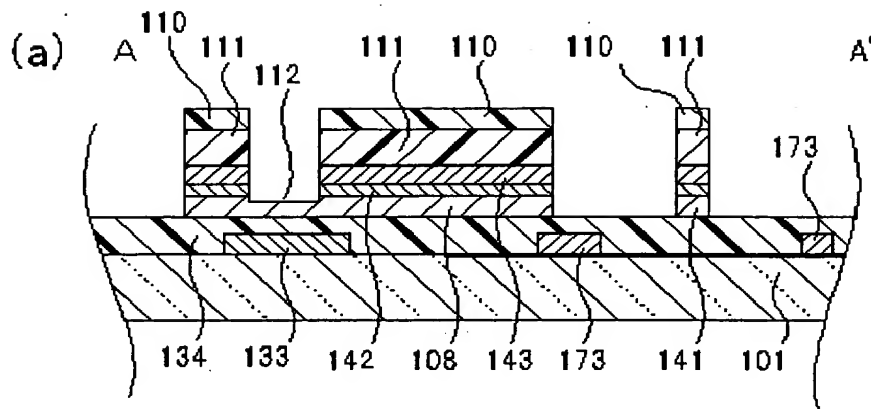


(c)

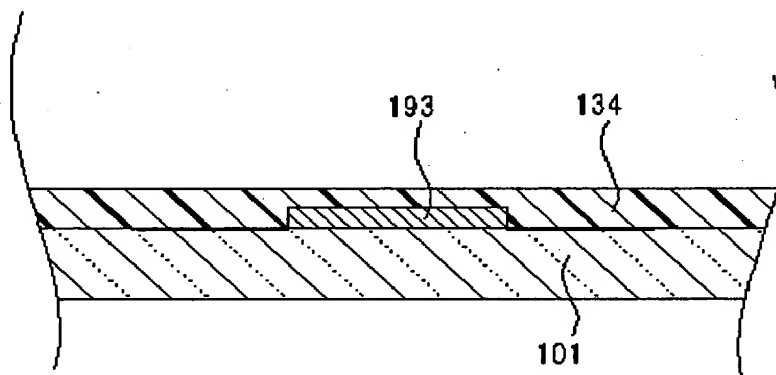
ドレイン端子



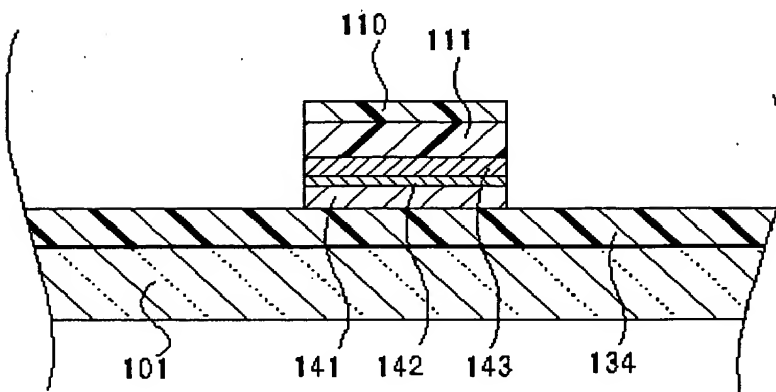
【図 1 1】



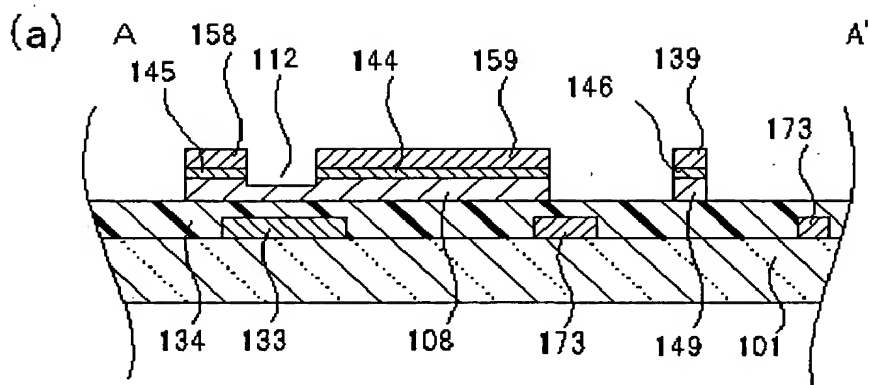
(b) ゲート端子



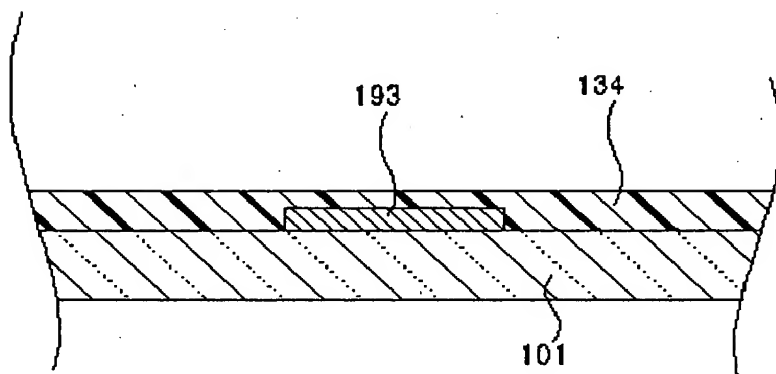
(c) ドレイン端子



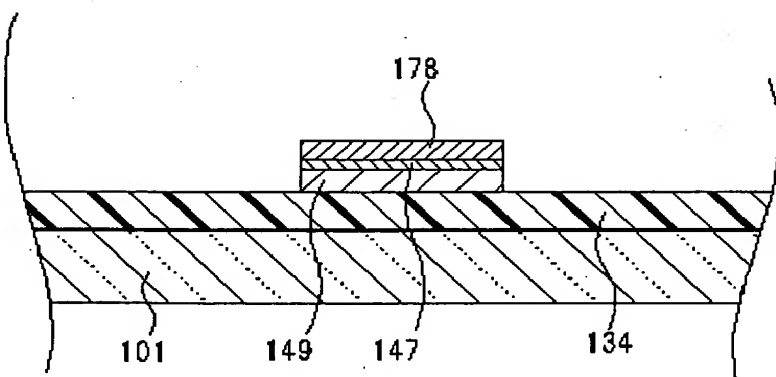
【図 1 2】



(b) ゲート端子



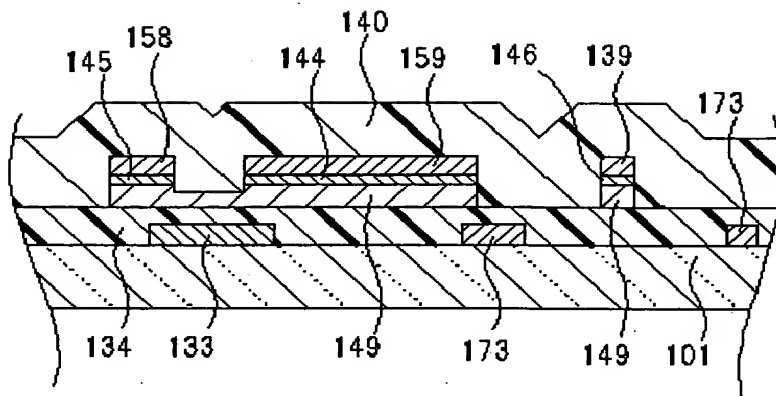
(c) ドレイン端子



【図 13】

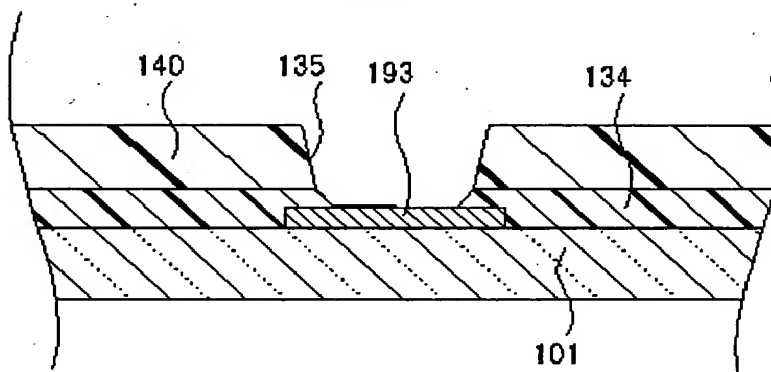
(a) A

A



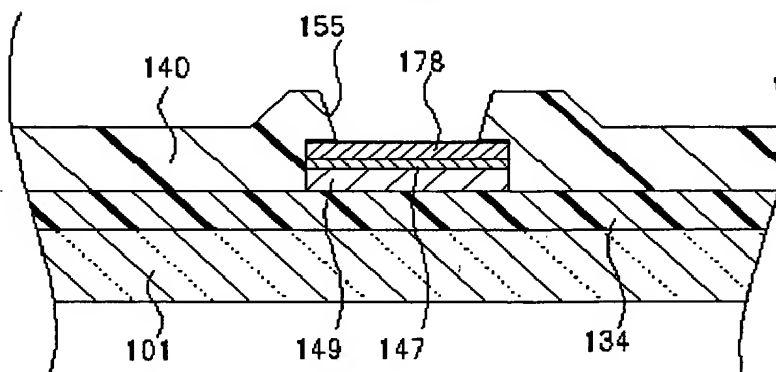
(b)

ゲート端子

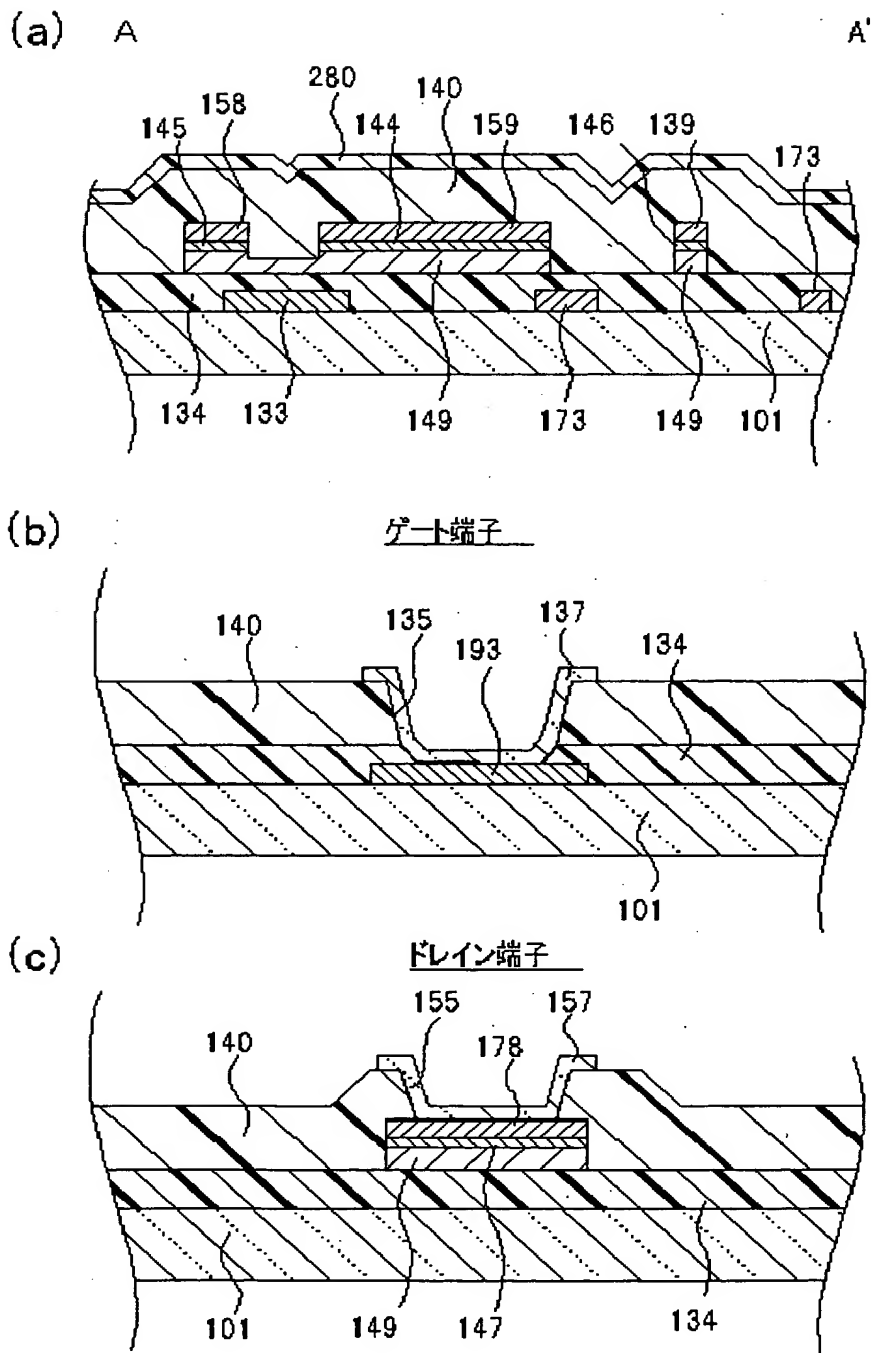


(c)

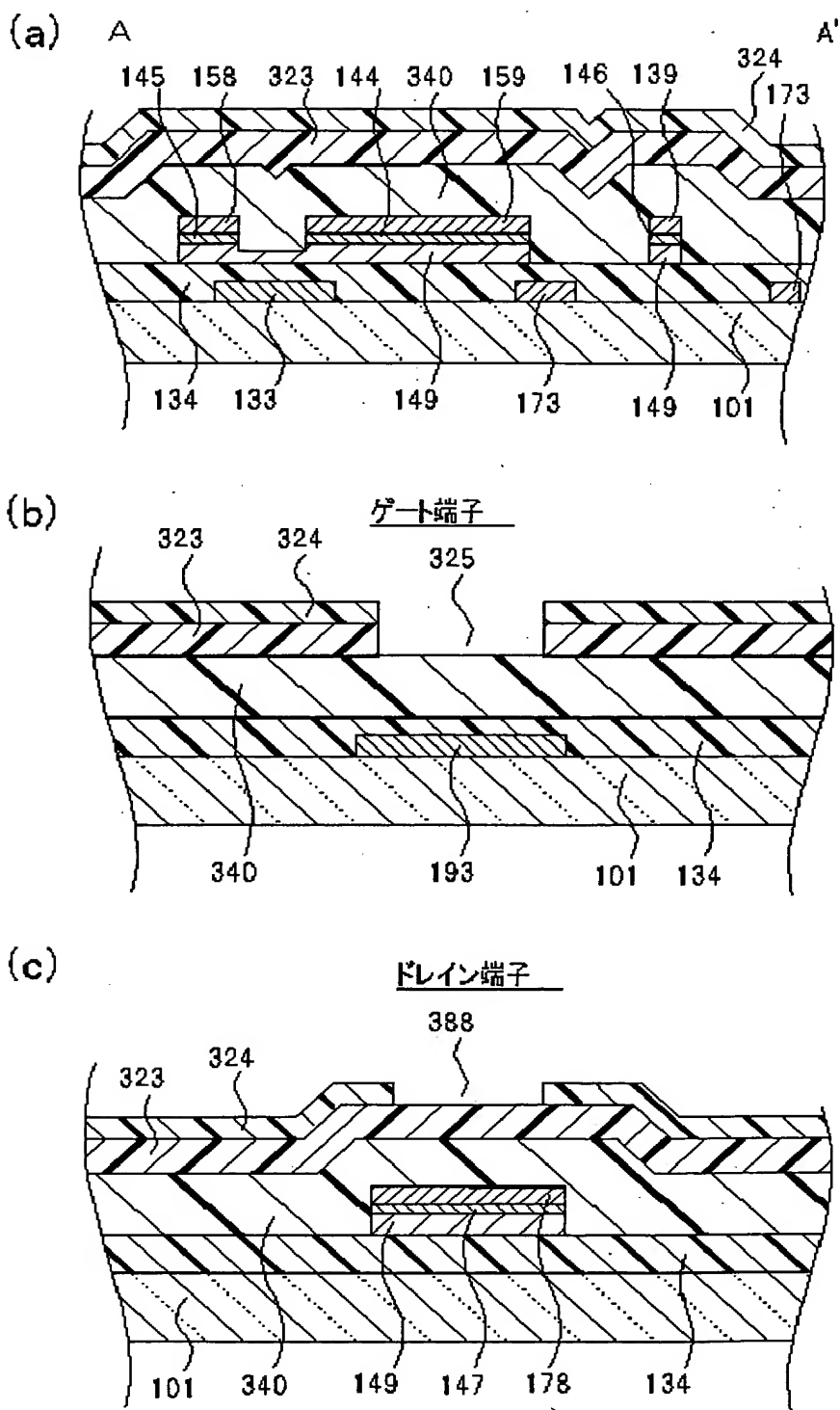
ドレイン端子



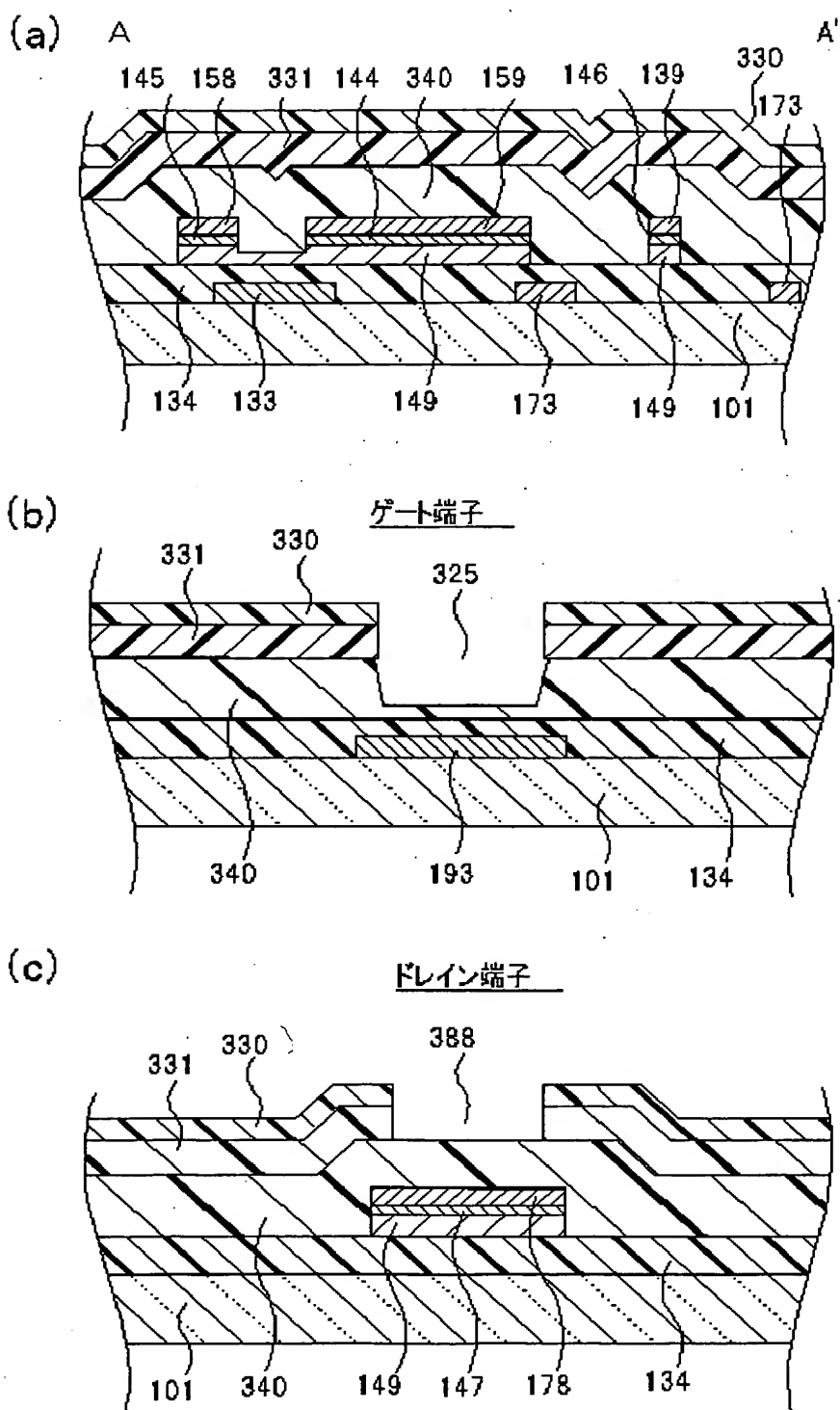
【図 1 4】



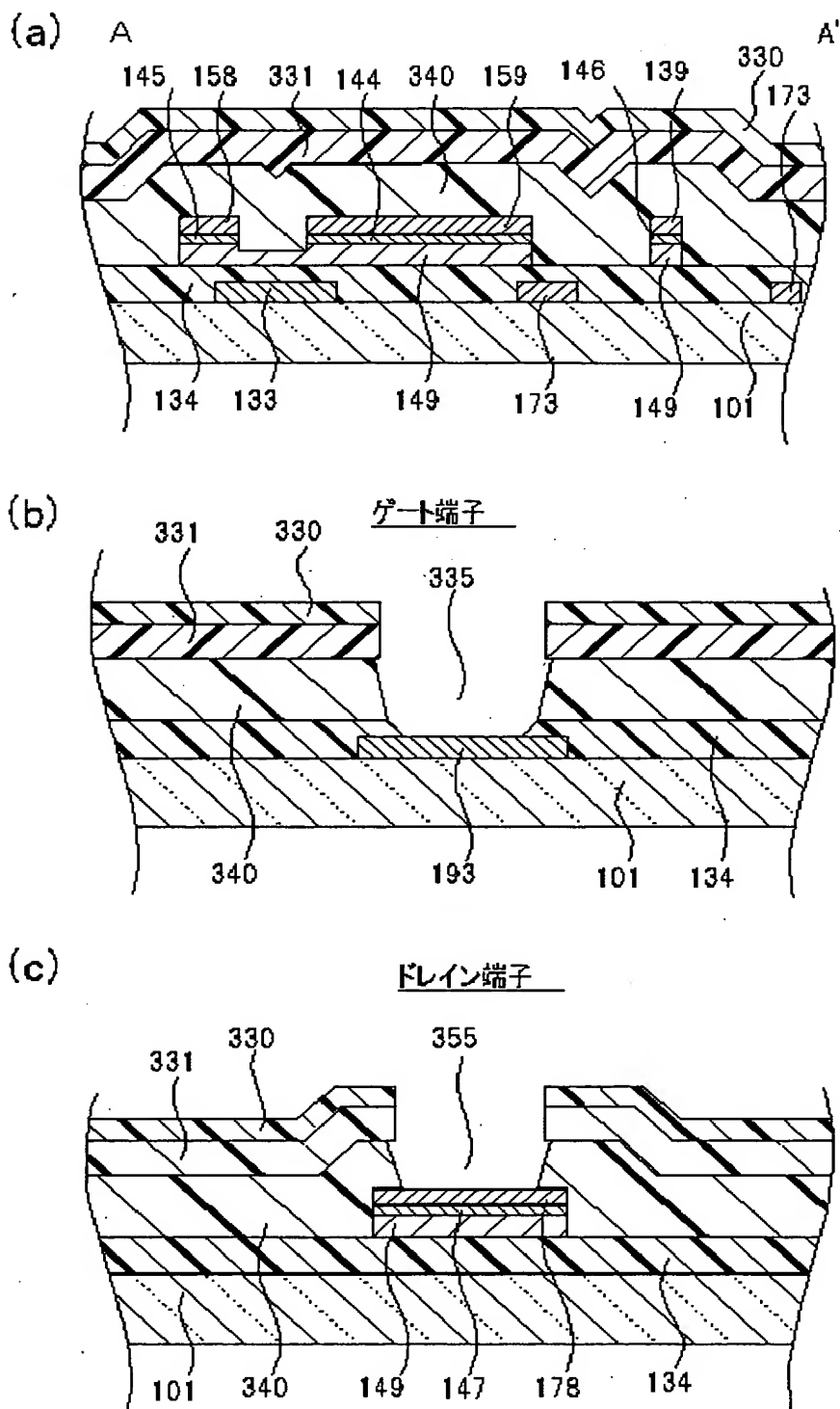
【図 15】



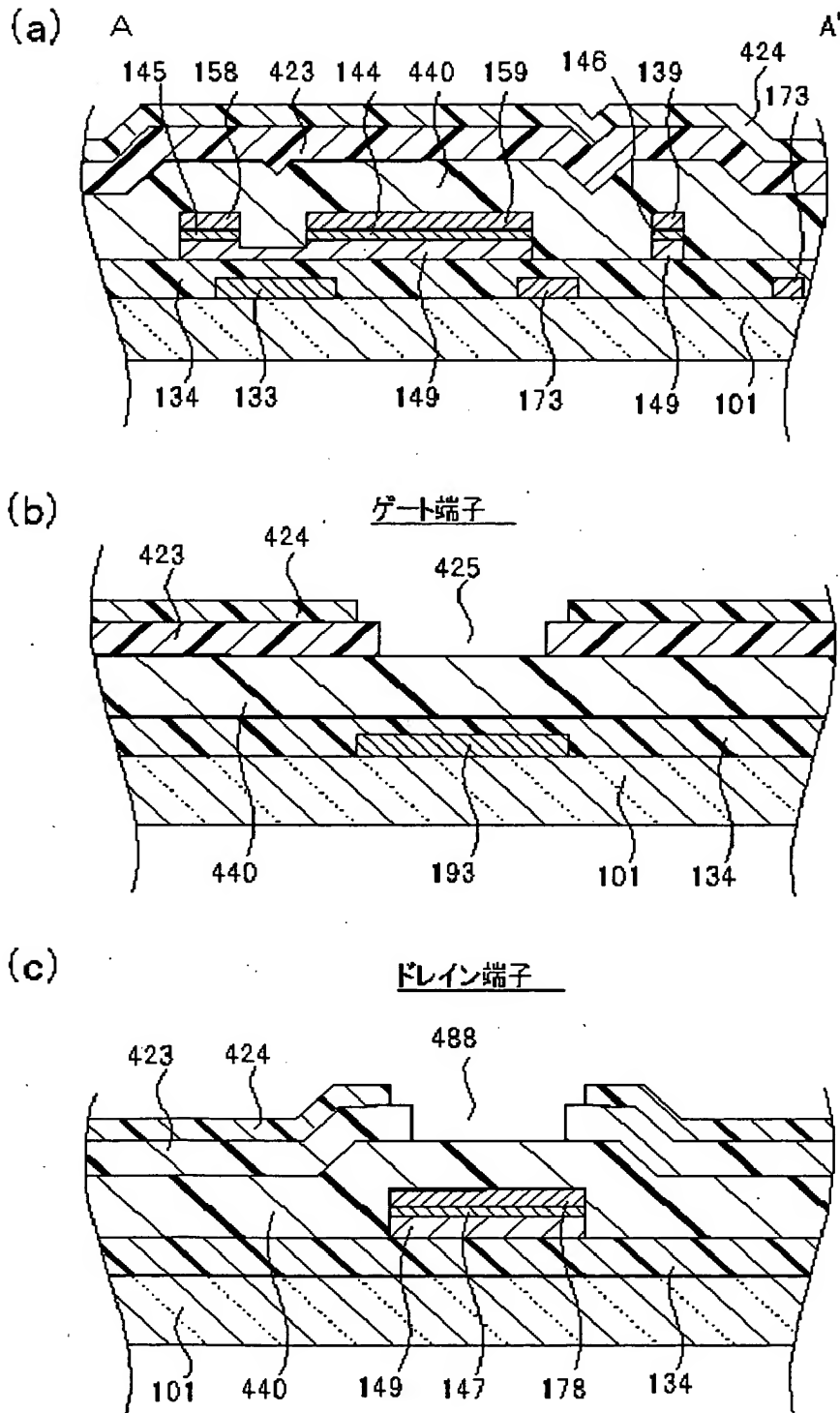
【図 16】



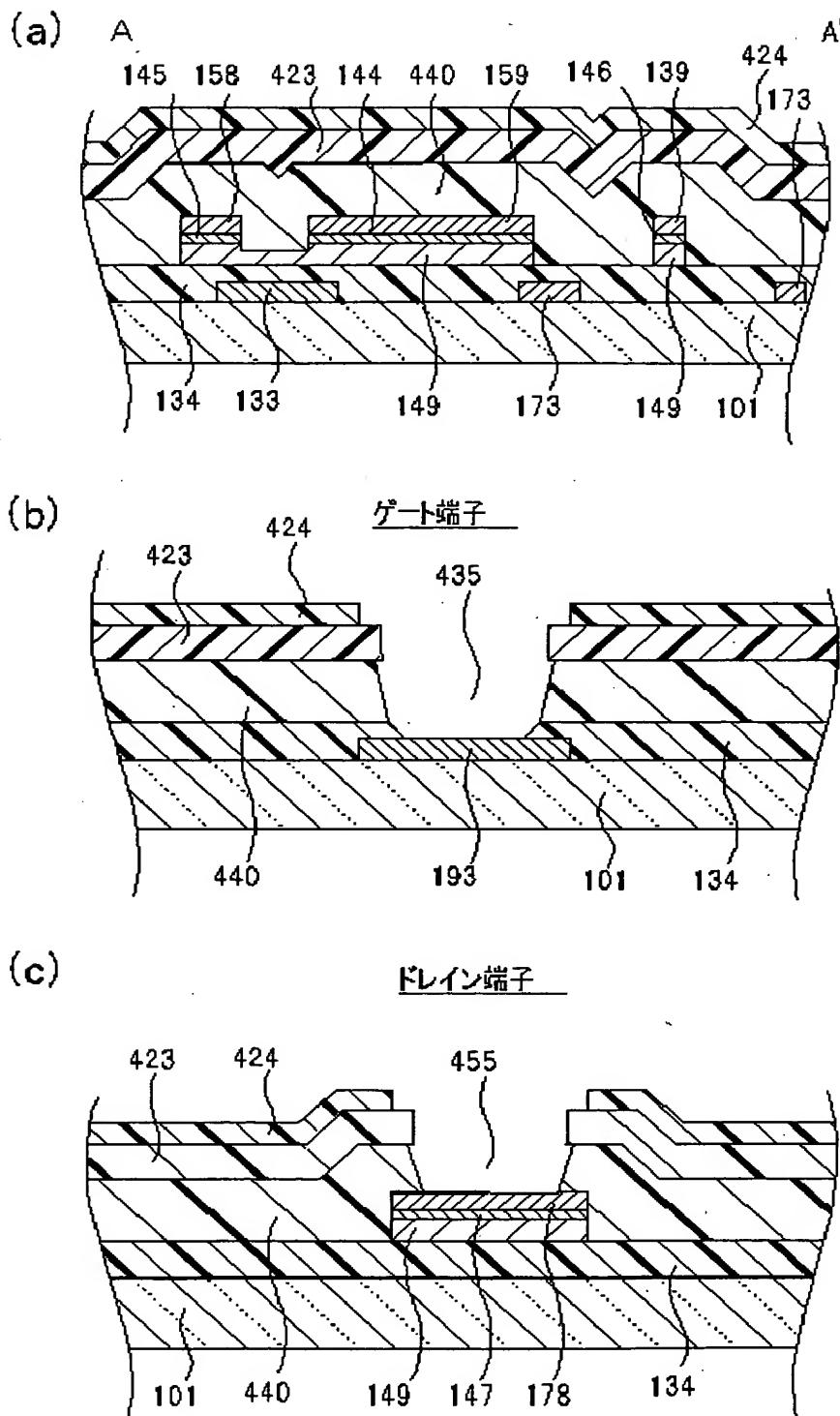
【図 17】



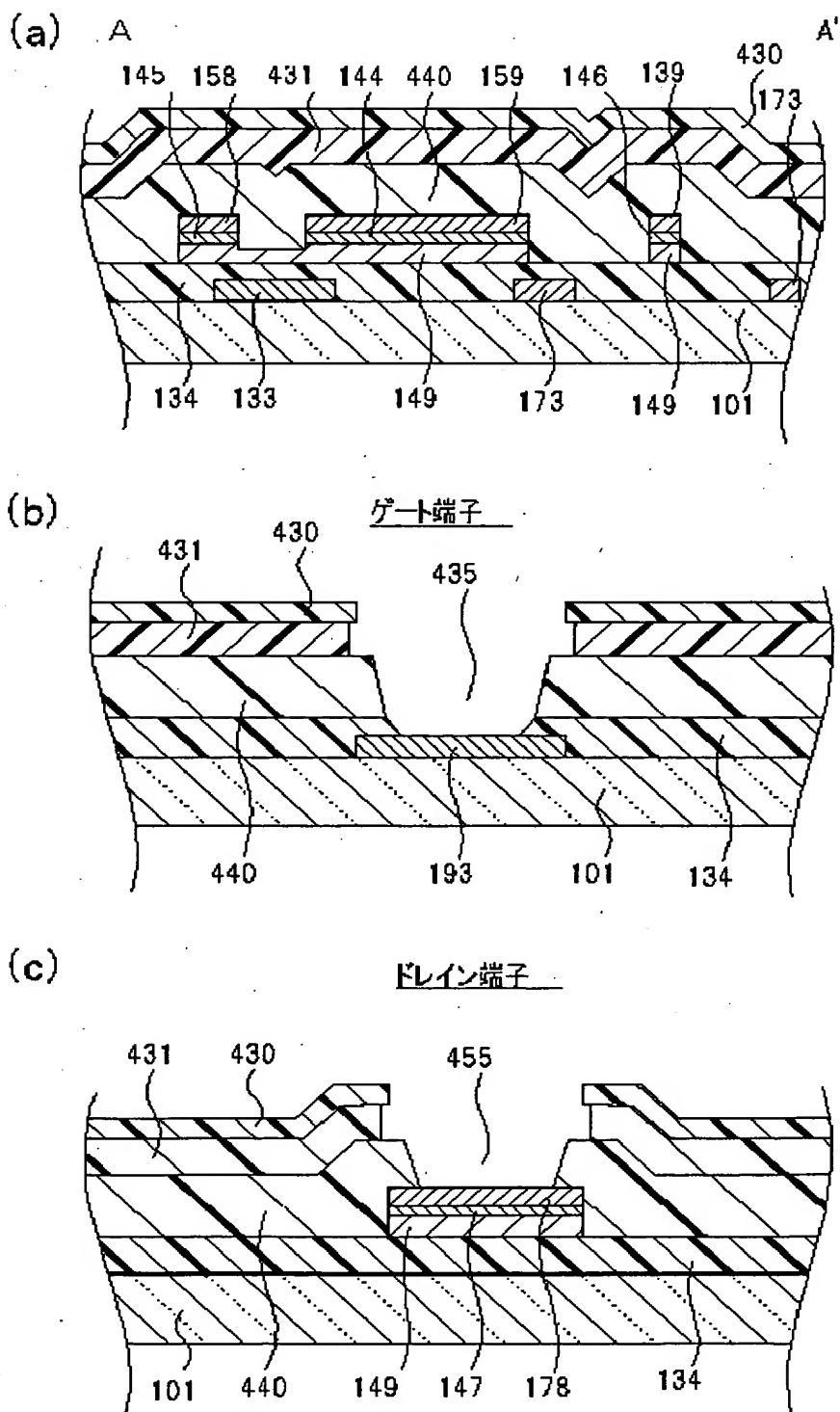
【図 18】



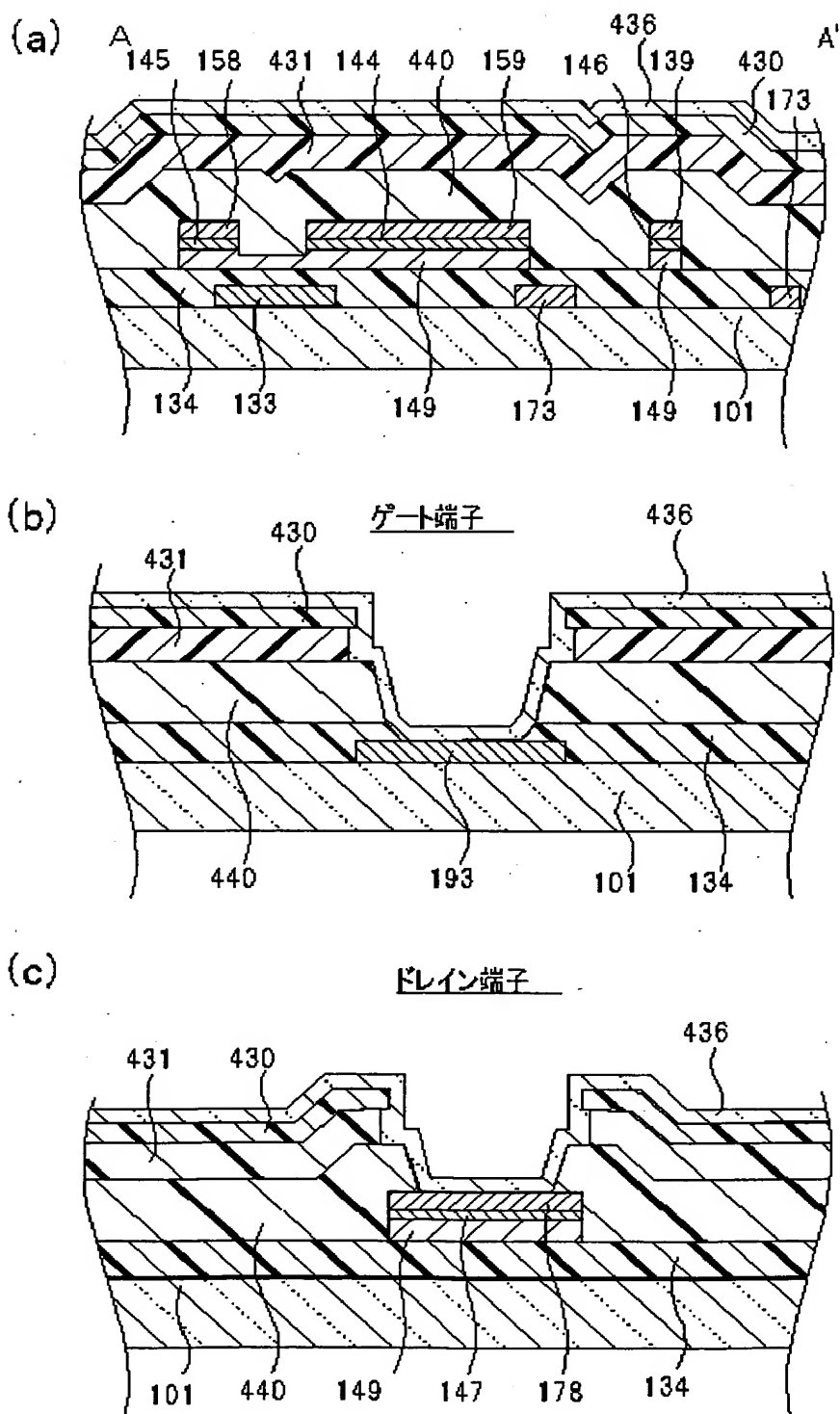
【図19】



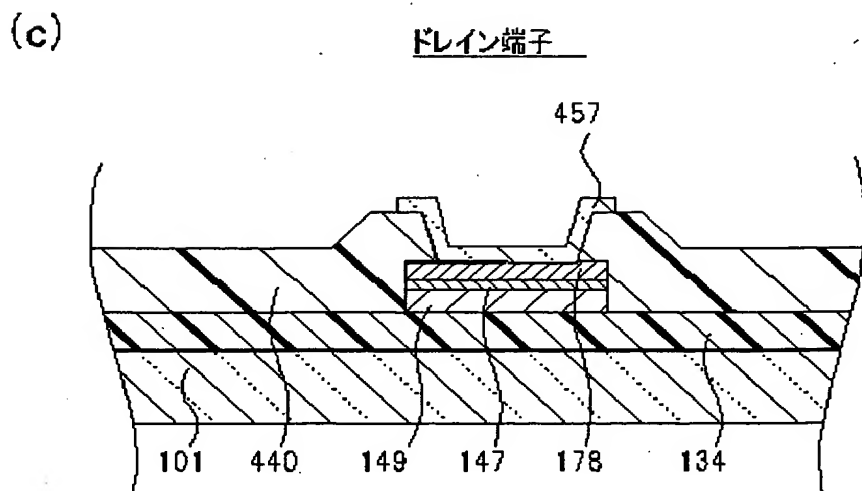
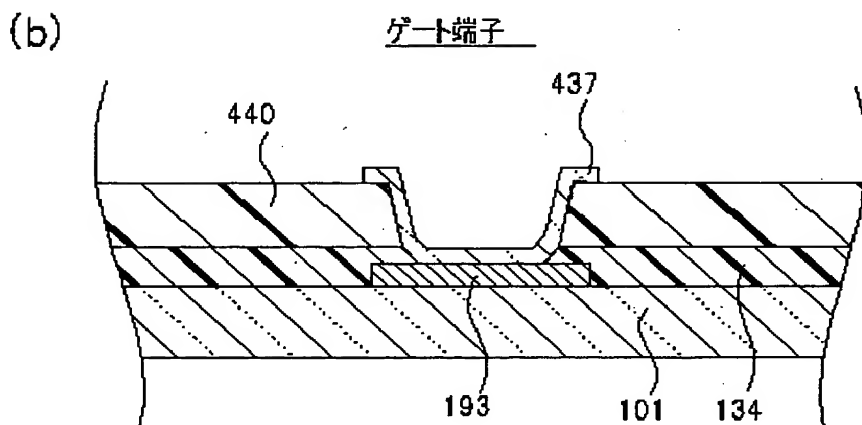
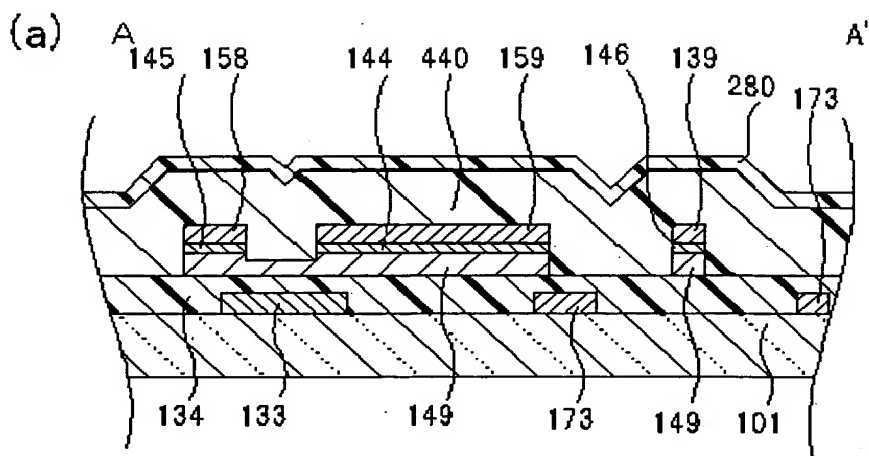
【図 20】



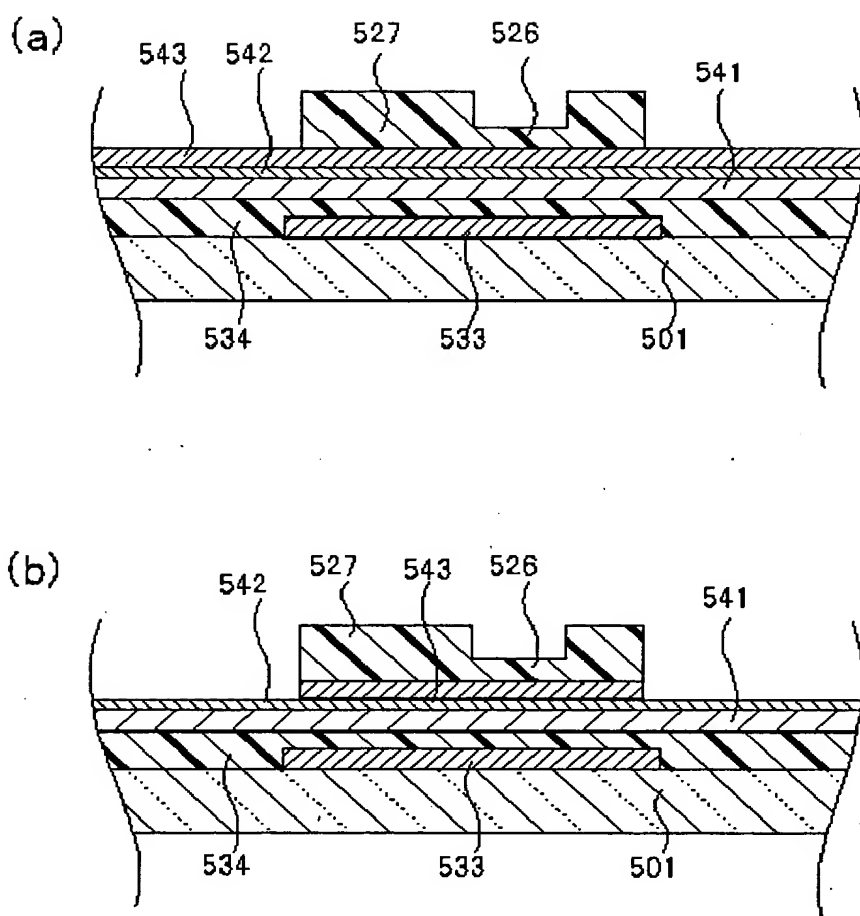
【図 21】



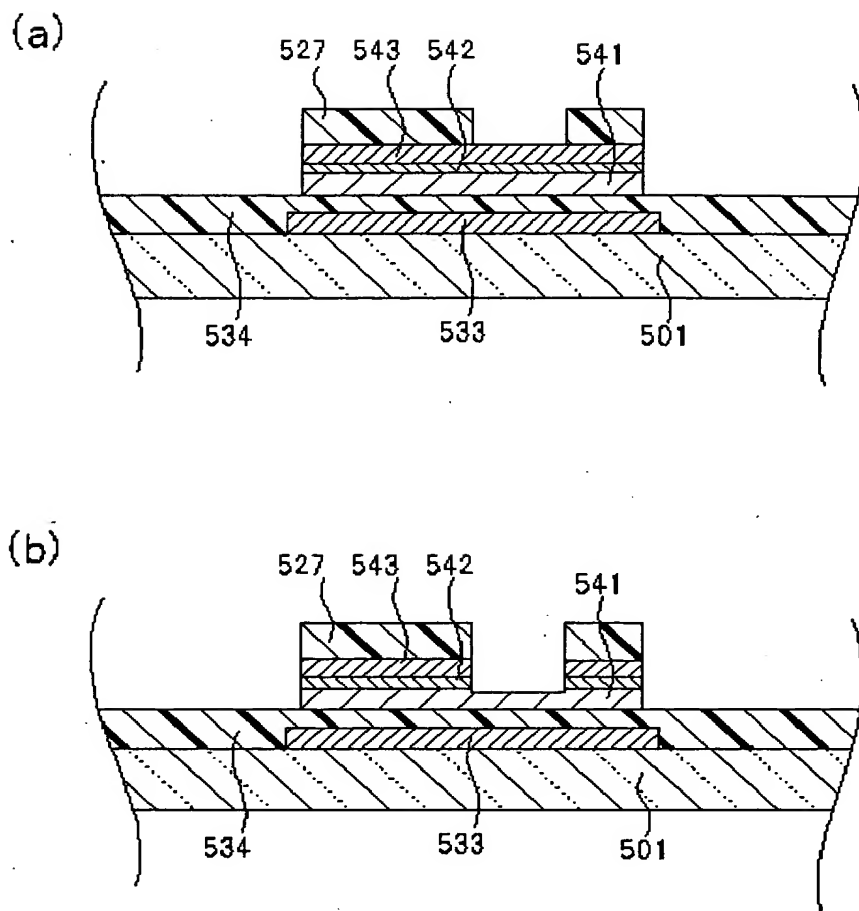
【図 22】



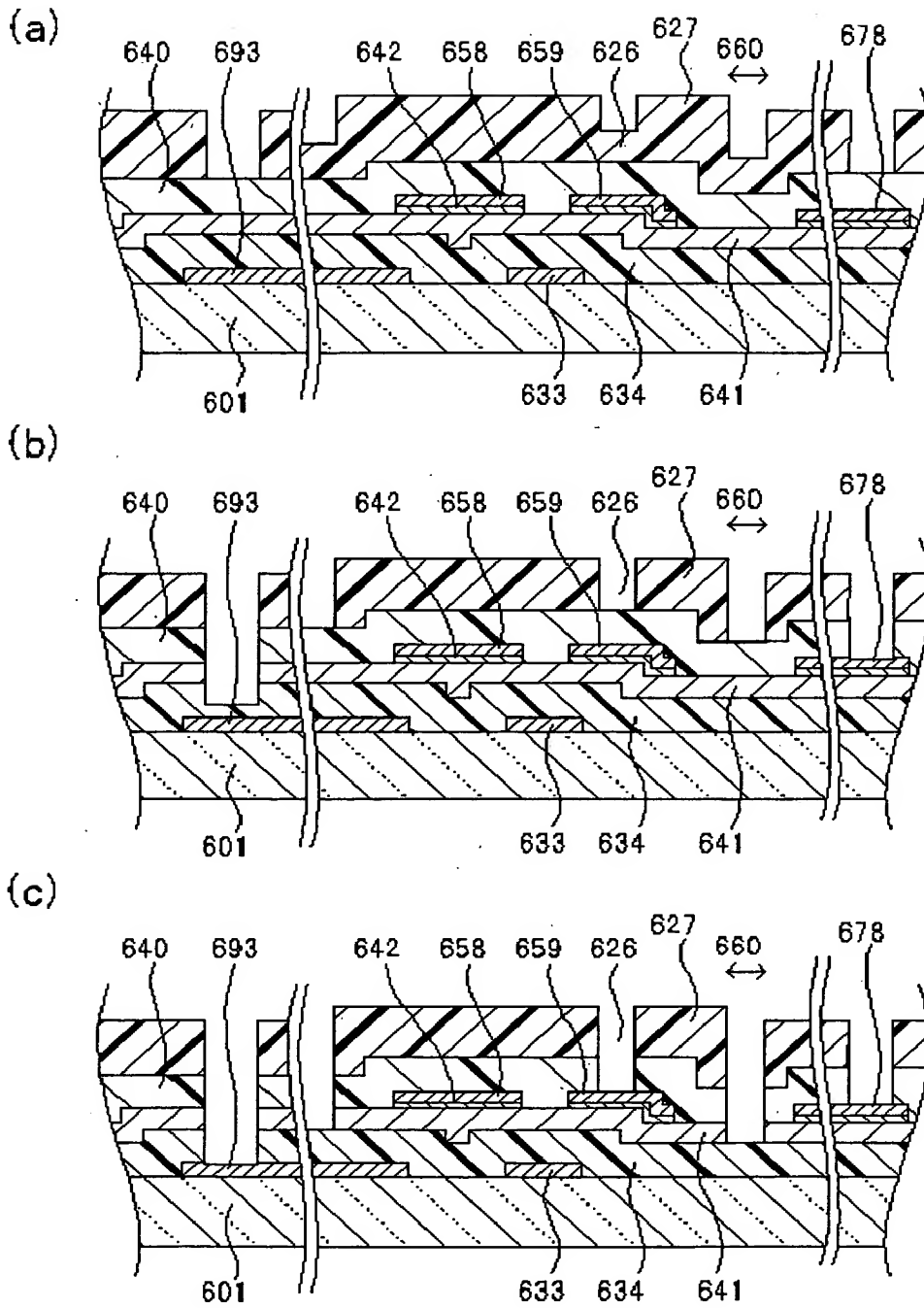
【図 23】



【図 2 4】



【図 2 5】



【書類名】 要約書

【要約】

【課題】露光量の違いを利用して膜厚の異なる感光膜パターンを形成し、その膜厚の差を利用してその下の被エッチング膜をエッチングして製造工程の短縮を図る場合、感光膜パターンのうち薄い方の感光膜パターンがエッチング除去されたときに厚い方の感光膜パターンも同時にエッチングされ、その形状はエッチング前の形状とは大幅に異なってしまうという問題がある。

【解決手段】レジスト凹部 5 の薄い方の感光膜パターンをエッチング除去するときに、厚い方の感光膜パターンの上層 9 をエッチングされにくいシリカ膜 1 0 に改質するので、厚い方の感光膜パターンはその平面形状をエッチング前の形状に維持することができる。従って、薄い方の感光膜パターンがエッチングされて残るシリカ膜 1 0 及びレジストマスク 1 1 をマスクとして得られるエッチングパターンの形状 8 は、設計値に近い形状となる。

【選択図】 図 2

特2001-058138

認定・付加情報

特許出願の番号	特願2001-058138
受付番号	50100297675
書類名	特許願
担当官	第二担当上席 0091
作成日	平成13年 3月 5日

<認定情報・付加情報>

【提出日】 平成13年 3月 2日

次頁無

出 願 人 履 歴 情 報

識別番号 [000181284]

1. 変更年月日 1990年 8月10日

[変更理由] 新規登録

住 所 鹿児島県出水市大野原町2080

氏 名 鹿児島日本電気株式会社